

## SOLID-STATE IMAGING DEVICE AND RANGE FINDING DEVICE

**Patent number:** WO0111870

**Publication date:** 2001-02-15

**Inventor:** MIZUNO SEIICHIRO (JP); FUNAKOSHI HARUHIRO (JP)

**Applicant:** HAMAMATSU PHOTONICS KK (JP); MIZUNO SEIICHIRO (JP); FUNAKOSHI HARUHIRO (JP)

**Classification:**

- **International:** H04N5/335; H03M1/18; G02B7/32; G01C3/06; G01B11/00

- **european:** H03M1/18F; H04N5/217S3

**Application number:** WO2000JP05284 20000807

**Priority number(s):** JP19990222475 19990805

**Also published as:**

EP1206131 (A1)  
US2002085104 (A1)

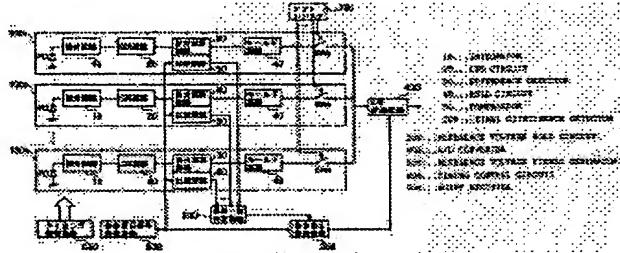
**Cited documents:**

JP1222583  
JP4322575  
JP1268296  
JP6276443

[Report a data error here](#)

### Abstract of WO0111870

A photodiode (PD) produces a signal current corresponding to incidence light. An integrator (10) converts the signal current into a signal voltage. A CDS circuit (20) produces the change of the signal voltage for a predetermined time. A difference detector (30) determines the difference between the two voltages output from the CDS circuit (20), and the difference is stored in a hold circuit (40). The maximum value of the voltages from the difference detectors (30) of units (100n) is determined by comparators (50), reference signal voltage generators (500), final coincidence detectors (200) and reference voltage hold circuits (300) of the unit (100n). The conversion range of an analog-to-digital converter (400) is set according to the maximum value, and the voltage values stored in the hold circuits (40) of the units (100n) are sequentially supplied to the analog-to-digital converter (400) for conversion into digital signals.



Data supplied from the esp@cenet database - Worldwide

5/6

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年2月15日 (15.02.2001)

PCT

(10) 国際公開番号  
WO 01/11870 A1

(51) 国際特許分類: H04N 5/335, H03M 1/18,  
G02B 7/32, G01C 3/06, G01B 11/00

1126番地の1 浜松ホトニクス株式会社内 Shizuoka  
(JP).

(21) 国際出願番号: PCT/JP00/05284

(74) 代理人: 長谷川芳樹, 外(HASEGAWA, Yoshiaki et al.);  
〒104-0061 東京都中央区銀座二丁目6番12号 大倉本  
館 創英國際特許法律事務所 Tokyo (JP).

(22) 国際出願日: 2000年8月7日 (07.08.2000)

(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM,  
DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL,  
IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU,  
LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL,  
PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ,  
UA, UG, US, UZ, VN, YU, ZA, ZW.

(25) 国際出願の言語: 日本語

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW,  
MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM,  
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,  
LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI,  
CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

(26) 国際公開の言語: 日本語

添付公開書類:  
— 國際調査報告書

(30) 優先権データ:  
特願平11/222475 1999年8月5日 (05.08.1999) JP

[統葉有]

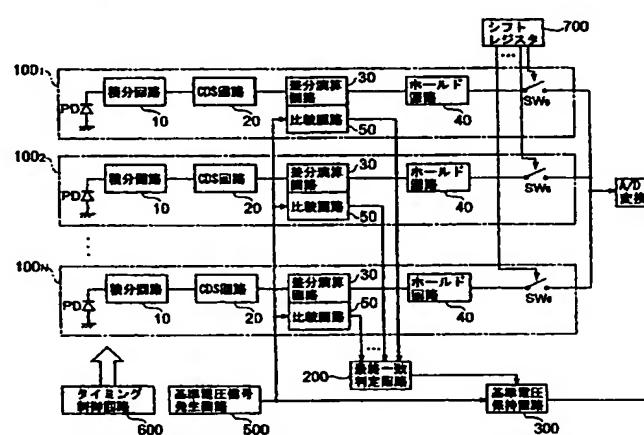
(71) 出願人(米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)  
[JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の1  
Shizuoka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 水野誠一郎  
(MIZUNO, Seiichiro) [JP/JP]. 船越晴寛 (FUNAKOSHI,  
Haruhiro) [JP/JP]; 〒435-8558 静岡県浜松市市野町

(54) Title: SOLID-STATE IMAGING DEVICE AND RANGE FINDING DEVICE

(54) 発明の名称: 固体撮像装置及び測距装置



FP 03-0381  
—06 WO-HD  
'04. 4.13  
SEARCH REPORT

10...INTEGRATOR  
20...CDS CIRCUIT  
30...DIFFERENCE DETECTOR  
40...HOLD CIRCUIT  
50...COMPARATOR  
200...FINAL COINCIDENCE DETECTOR  
300...REFERENCE VOLTAGE HOLD CIRCUIT  
400...A/D CONVERTER  
500...REFERENCE VOLTAGE SIGNAL GENERATOR  
600...TIMING CONTROL CIRCUIT  
700...SHIFT REGISTER

(57) Abstract: A photodiode (PD) produces a signal current corresponding to incidence light. An integrator (10) converts the signal current into a signal voltage. A CDS circuit (20) produces the change of the signal voltage for a predetermined time. A difference detector (30) determines the difference between the two voltages output from the CDS circuit (20), and the difference is stored in a hold circuit (40). The maximum value of the voltages from the difference detectors (30) of units (100n) is determined by comparators (50), reference signal voltage generators (500), final coincidence detectors (200) and reference voltage hold circuits (300) of the unit (100n). The conversion range of an analog-to-digital converter (400) is set according to the maximum value, and the voltage values stored in the hold circuits (40) of the units (100n) are sequentially supplied to the analog-to-digital converter (400) for conversion into digital signals.

A1

WO 01/11870

[統葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

入射光量に応じた信号電流がフォトダイオード P D から出力され、この信号電流が積分回路 1 0 により信号電圧に変換され、この信号電圧の一定時間の変化分が C D S 回路 2 0 から出力される。C D S 回路 2 0 から出力される 2 つの電圧値の差分が差分演算回路 3 0 により求められ、ホールド回路 4 0 に保持される。また、各ユニット 1 0 0 。の差分演算回路 3 0 により求められた電圧値のうちの最大値が、各ユニット 1 0 0 。の比較回路 5 0 、基準信号電圧発生回路 5 0 0 、最終一致判定回路 2 0 0 および基準電圧保持回路 3 0 0 により求められ、この最大値に基づいて A / D 変換回路 4 0 0 の A / D 変換レンジが設定され、各ユニット 1 0 0 。のホールド回路 4 0 に保持された電圧値が順次、 A / D 変換回路 4 0 0 に入力されてデジタル信号として出力される。

## 明細書

### 固体撮像装置及び測距装置

#### 技術分野

5 本発明は、光検出素子に入射する光のうち背景光成分を除去して信号光成分のみを検出する固体撮像装置に関するものである。

#### 背景技術

10 固体撮像装置は、1次元状または2次元状に配列された複数の光検出素子を有しており、各光検出素子が出力した信号電流を積分回路により積分して、その積分結果である信号電圧を出力する。また、固体撮像装置によっては、アナログ信号である上記信号電圧をデジタル信号に変換（A／D変換）して、このデジタル信号を出力するものもある。もし、このA／D変換の際に信号電圧が所定値を越える場合には、その信号電圧に基づいてA／D変換され出力されるデジタル信号は、その所定値に対応する値となって飽和し、その結果、正確な光検出ができないという問題点がある。そこで、従来では、上記信号電圧の予想される最大値またはそれ以上の値を上記所定値として設定することにより、上記のような飽和が起こらないようにしていた。また、対数圧縮等のテクニックを用いてダイナミックレンジを拡げる場合もあった。

20 また、固体撮像装置は、例えばカメラに組み込まれる測距装置に用いられている。この測距装置では、発光ダイオード等の投光手段から被写体に投光されたスポット光の反射を2つの固体撮像装置それぞれにより撮像し、撮像された2つの像に基づいて測距が行われる。このとき、スポット光成分（信号光成分）を撮像する際には背景光成分も重畠されて撮像されることから、スポット光が投光されていないときに2つの固体撮像装置それぞれにより背景光成分のみを撮像して、25 両者の差分をとることでスポット光成分のみの像を得て、測距精度の向上を図っている。

## 発明の開示

しかし、従来の固体撮像装置における積分回路では、積分回路の要素回路である増幅器が有する熱雑音等の各積分動作毎に異なる値の雑音成分に対して対策を施していないことから、ノイズ誤差が生じる可能性がある。したがって、この各  
5 積分動作毎に異なるノイズ成分により、光検出素子に入射する光の強度すなわち上記信号電圧の値が小さい場合には、光検出の S/N 比は悪い。

また、従来の固体撮像装置における A/D 変換では、飽和が起こらないようにするために上記所定値として大きな値を設定することから、光検出素子に入射する光の強度すなわち上記信号電圧の値が小さい場合には、出力されるデジタル信号の分解能は悪くなる。  
10

さらに、固体撮像装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の撮像結果から背景光成分の撮像結果を差し引くことによりスポット光成分のみの像を得る場合には、以下のような問題点がある。すなわち、  
15 スポット光成分に比べて背景光成分が大きい場合には、その背景光成分が重畠されたスポット光成分が入射したときの上記信号電圧が非常に大きくなり、それ故、飽和が起こらないようにするために上記所定値として更に大きな値を設定する必要がある。したがって、差し引いた結果として得られるスポット光成分に基づいて出力されるデジタル信号は分解能が更に悪くなる。

以上のように、従来の固体撮像装置では S/N 比が悪く、また、A/D 変換する場合には出力されるデジタル信号の分解能が悪い。そこで、本発明は、上記問題点を解消する為になされたものであり、S/N 比が優れ、A/D 変換する場合に、入射光強度が大きくても飽和することなく、入射光強度が小さくても分解能が優れた固体撮像装置を提供することを目的とする。  
20

本発明に係る固体撮像装置は、(1) 入射光量に応じた信号電流を出力する N (N  
25  $\geq 2$ ) 個の光検出素子と、(2) N 個の光検出素子それぞれに対応して設けられ、各光検出素子から出力された信号電流に応じて電荷を蓄積して、その蓄積された

電荷の量に応じた信号電圧を出力するN個の積分回路と、(3) N個の積分回路それぞれに対応して設けられ、各積分回路から出力された信号電圧を入力する入力端と出力端との間に順に設けられた第1の容量素子および増幅器と、増幅器の入出力間に並列的に設けられ容量値が互いに等しい第2の容量素子および第3の容量素子と、第2および第3の容量素子のうち何れか一方を選択して信号電圧の変化量に応じた電荷量を蓄積させるスイッチ手段と、を有するN個のCDS回路と、  
5 (4) N個のCDS回路それぞれに対応して設けられ、各CDS回路の第2および第3の容量素子それに蓄積されている電荷量の差分を求め、その差分に応じた差信号電圧を出力するN個の差分演算回路と、(5) N個の差分演算回路それぞれに対応して設けられ、各差分演算回路により得られた差信号電圧を保持して出力するN個のホールド回路と、(6) 単調に値が増加する基準信号電圧を出力する基準信号電圧発生回路と、(7) N個の差分演算回路それぞれに対応して設けられ、各差分演算回路により得られた差信号電圧の値と、基準信号電圧発生回路から出力される基準信号電圧の値とを比較し、両者が一致するタイミングを示す一致信号を出力するN個の比較回路と、(8) N個の比較回路それから出力される一致信号を入力し、これらの一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号を出力する最終一致判定回路と、(9) 最終一致判定回路から出力される最終一致信号と、基準信号電圧発生回路から出力される基準信号電圧とを入力し、最終一致信号が示すタイミングにおける基準信号電圧の値を保持し  
10 出力する基準電圧保持回路と、(10) 基準電圧保持回路から出力される基準信号電圧の値に基づいてA/D変換レンジを設定し、N個のホールド回路それから出力される差信号電圧を順次に入力し、その差信号電圧をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路と、を備えることを特徴とする。

この固体撮像装置は、光検出素子、積分回路、CDS回路、差分演算回路、ホールド回路および比較回路をNユニット備えている。各ユニットにおいては、入射光量に応じた信号電流が光検出素子から出力され、積分回路では、光検出素子

から出力された信号電流に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた信号電圧が出力される。CDS(相関二重サンプリング、Correlated Double Sampling)回路では、積分回路から出力される信号電圧が第1の容量素子に入力し、スイッチ手段により選択された第2および第3の容量素子のうち何れか一方に、その入力した信号電圧の変化量に応じた電荷量が蓄積される。そして、差分演算回路では、CDS回路の第2および第3の容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた差信号電圧が出力される。この差信号電圧がホールド回路により保持される。また、比較回路では、差分演算回路により得られた差信号電圧の値と、基準信号電圧発生回路から出力される単調に値が増加する基準信号電圧の値とが比較され、両者が一致するタイミングを示す一致信号が出力される。

最終一致判定回路では、N個の比較回路それから出力される一致信号が示すタイミングのうち、最も遅いタイミングを示す最終一致信号が出力される。基準電圧保持回路では、最終一致信号が示すタイミングにおける基準信号電圧の値が保持され出力される。この保持された基準信号電圧の値は、N個のホールド回路それにより保持されている差信号電圧のうちの最大値である。そして、A/D変換回路では、基準電圧保持回路から出力される基準信号電圧の値に基づいてA/D変換レンジが設定され、N個のホールド回路それから出力される差信号電圧が順次に入力され、その差信号電圧がデジタル信号に変換されて、そのデジタル信号が出力される。

また、本発明に係る固体撮像装置は、N個の積分回路、N個のCDS回路、N個の差分演算回路、N個のホールド回路、基準信号電圧発生回路、N個の比較回路、最終一致判定回路、基準電圧保持回路およびA/D変換回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる固体撮像装置であって、タイミング制御回路は、  
25 (1) 投光手段により被写体にスポット光が投光されている第1の期間に、光検出

素子に当該スポット光成分および背景光成分が入射したときに積分回路が出力した信号電圧の変化量に応じた電荷量を CDS 回路の第 2 の容量素子に蓄積させ、

(2) 投光手段により被写体にスポット光が投光されていない第 2 の期間に、光検

出素子に背景光成分が入射したときに積分回路が出力した信号電圧の変化量に応

5 じた電荷量を CDS 回路の第 3 の容量素子に蓄積させ、(3) 第 1 および第 2 の期

間の後の第 3 の期間に、CDS 回路の第 2 および第 3 の容量素子それぞれに蓄積

されている電荷量の差分を差分演算回路に演算させて、その差分に応じた差信号

電圧を差分演算回路から出力させるとともに、その差信号電圧をホールド回路に

保持させ、(4) 第 3 の期間の後の第 4 の期間に、単調に値が増加する基準信号電

10 圧を基準信号電圧発生回路から出力させるとともに、差信号電圧および基準信号

電圧それぞれの値の比較に基づいて両者が一致するタイミングを示す一致信号を

比較回路から出力させ、この一致信号が示すタイミングのうち最も遅いタイミン

グを示す最終一致信号を最終一致判定回路から出力させ、この最終一致信号が示

すタイミングにおける基準信号電圧の値を基準電圧保持回路に保持させ、この保

15 持された基準信号電圧の値に基づいて A/D 変換回路の A/D 変換レンジを設定

させ、(5) 第 4 の期間の後の第 5 の期間に、N 個のホールド回路それから出

力される差信号電圧を順次に A/D 変換回路に入力させて、その差信号電圧をデ

ジタル信号に変換させて該デジタル信号を A/D 変換回路から出力させる、こと

を特徴とする。

20 この場合には、タイミング制御回路による制御の下に、第 1 の期間に、光検出

素子にスポット光成分および背景光成分が入射したときに積分回路が出力した信

号電圧の変化量に応じた第 1 の電荷量が CDS 回路の第 2 の容量素子に蓄積され

る。また、第 2 の期間に、光検出素子に背景光成分が入射したときに積分回路が

出力した信号電圧の変化量に応じた第 2 の電荷量が CDS 回路の第 3 の容量素子

25 に蓄積される。第 1 および第 2 の期間のうち何れが先であってもよい。そして、

第 1 および第 2 の期間の後の第 3 の期間に、CDS 回路の第 2 および第 3 の容量

素子それぞれに蓄積されている電荷量の差分が差分演算回路により求められて、その差分に応じた差信号電圧が差分演算回路から出力されホールド回路に保持される。このホールド回路に保持された差信号電圧は、スポット光成分に応じたものとなる。

5 続いて第4の期間に、単調に値が増加する基準信号電圧が基準信号電圧発生回路から出力される。比較回路からは、差信号電圧および基準信号電圧それぞれの値の比較に基づいて両者が一致するタイミングを示す一致信号が出力される。最終一致判定回路からは、この一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号が出力されて、基準電圧保持回路により、この最終一致信号が示すタイミングにおける基準信号電圧の値が保持される。この保持された基準信号電圧の値に基づいて、A/D変換回路のA/D変換レンジが設定される。そして、第4の期間の後の第5の期間に、N個のホールド回路それから出力される差信号電圧が順次にA/D変換回路に入力して、その差信号電圧がデジタル信号に変換されて該デジタル信号がA/D変換回路から出力される。

10 15 上記装置を換言すれば、上記固体撮像装置は、複数の回路列の出力信号が順次入力されるA/D変換回路を備える固体撮像装置において、前記回路列のそれぞれは、光検出素子と、光検出素子の出力に応じた信号（差分演算回路の出力信号）と単調増加する電圧（基準信号電圧発生回路の出力）とが入力され、両者が一致するタイミングを示す一致信号を出力する比較回路とを備え、この固体撮像装置は、それぞれの比較回路から出力される複数の一致信号が入力され、これらの一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号を出力する最終一致判定回路を備え、A/D変換回路のA/Dレンジは、最終一致信号が出力された時の単調増加する電圧（基準信号電圧発生回路500の出力）の値に応じて設定されることを特徴とする。

20 25 この最終一致信号は、上記光検出素子PDの出力に応じた信号のうちで、最も入射光強度（光強度）が大きいものに対応する。したがって、これに基づいてA

／D 変換レンジを設定すれば、入射光強度が大きくても飽和することなく、入射光強度が小さくても分解能が優れたものとなる。

#### 図面の簡単な説明

図 1 は本実施形態に係る固体撮像装置の全体の概略構成図である。

5 図 2 は本実施形態に係る固体撮像装置の積分回路の回路図である。

図 3 は本実施形態に係る固体撮像装置の C D S 回路の回路図である。

図 4 は第 1 の実施形態に係る固体撮像装置の差分演算回路および比較回路の回路図である。

図 5 は本実施形態に係る固体撮像装置のホールド回路の回路図である。

10 図 6 は本実施形態に係る固体撮像装置の最終一致判定回路の回路図である。

図 7 は本実施形態に係る固体撮像装置の基準電圧保持回路の回路図である。

図 8 は本実施形態に係る固体撮像装置の A／D 変換回路の回路図である。

図 9 は A／D 変換回路中の可変容量積分回路の詳細な回路図である。

図 10 A、図 10 B、図 10 C、図 10 D、図 10 E、図 10 F、図 10 G、

15 図 10 H、図 10 I、図 10 J、図 10 K、図 10 L、図 10 M、図 10 N、図 10 O、図 10 P は本実施形態に係る固体撮像装置の動作を説明するためのタイミングチャートである。

図 11 A、図 11 B、図 11 C、図 11 D は A／D 変換回路の動作を説明する図である。

20 図 12 は第 2 の実施形態に係る固体撮像装置の差分演算回路および比較回路の回路図である。

図 13 は第 3 の実施形態に係る固体撮像装置の差分演算回路および比較回路の回路図である。

図 14 は固体撮像装置が実装された撮像装置の斜視図である。

25 発明を実施するための最良の形態

以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面

の説明において同一の要素には同一の符号を付し、重複する説明を省略する。また、Nは2以上の整数であり、添え字nは特に明示しない限り1からNまでの任意の整数を示すものとする。

(第1の実施形態)

5       先ず、第1の実施形態に係る固体撮像装置の構成について、図1～図9を用いて説明する。図1は本実施形態に係る固体撮像装置の全体の概略構成図である。本実施形態に係る固体撮像装置は、N個のユニット<sub>100<sub>1</sub></sub>～<sub>100<sub>N</sub></sub>、最終一致判定回路200、基準電圧保持回路300、A/D変換回路400、基準信号電圧発生回路500、タイミング制御回路600および、シフトレジスタ700を備えて構成されている。各ユニット<sub>100<sub>n</sub></sub>は、フォトダイオードPD、積分回路10、CDS回路20、差分演算回路30、ホールド回路40、比較回路50およびスイッチ素子SW<sub>6</sub>を含む。各ユニット<sub>100<sub>n</sub></sub>の積分回路10は互いに同様の構成であり、各ユニット<sub>100<sub>n</sub></sub>のCDS回路20は互いに同様の構成であり、各ユニット<sub>100<sub>n</sub></sub>の差分演算回路30は互いに同様の構成であり、各ユニット<sub>100<sub>n</sub></sub>のホールド回路40は互いに同様の構成であり、また、各ユニット<sub>100<sub>n</sub></sub>の比較回路50は互いに同様の構成である。したがって、N個のユニット<sub>100<sub>1</sub></sub>～<sub>100<sub>N</sub></sub>は互いに同様の構成である。

各ユニット<sub>100<sub>n</sub></sub>のフォトダイオードPDは、アノード端子が接地され、カソード端子が積分回路10の入力端子に接続されている。フォトダイオードPDは、入射光量に応じた信号電流を、アノード端子から積分回路10の入力端子へ出力する。各ユニット<sub>100<sub>n</sub></sub>のフォトダイオードPDは、1次元状または2次元状に配置されており、1次元像または2次元像を撮像する。なお、フォトダイオードPDの数はN個であり、N個の光検出素子はアレイを構成している。

25     図2は本実施形態に係る固体撮像装置の積分回路10の回路図である。各ユニット<sub>100<sub>n</sub></sub>の積分回路10は、入力端子と出力端子との間に互いに並列にアンプA<sub>1</sub>、容量素子C<sub>1</sub>およびスイッチ素子SW<sub>1</sub>が接続されている。積分回路10は、

スイッチ素子  $SW_1$  が閉じているときには、容量素子  $C_1$  を放電して初期化する。一方、積分回路 10 は、スイッチ素子  $SW_1$  が開いているときには、フォトダイオード P D から入力端子に入力した電荷を容量素子  $C_1$  に蓄積して、その蓄積された電荷に応じた信号電圧を出力端子から出力する。スイッチ素子  $SW_1$  は、タ

5 イミング制御回路 600 から出力される制御信号に基づいて開閉する。

図 3 は本実施形態に係る固体撮像装置の CDS 回路 20 の回路図である。各ユニット 100n の CDS 回路 20 は、入力端子と出力端子との間に順に第 1 の容量素子  $C_{21}$  およびアンプ  $A_2$  を有している。また、スイッチ素子  $SW_{21}$ 、互いに継続接続された第 2 の容量素子  $C_{22}$  およびスイッチ素子  $SW_{22}$ 、ならびに、互いに継続接続された第 3 の容量素子  $C_{23}$  およびスイッチ素子  $SW_{23}$  が、アンプ  $A_2$  の入

10 出力間に互いに並列的に接続されている。容量素子  $C_{22}$  および  $C_{23}$  それぞれの容量は互いに等しい。

CDS 回路 20 は、スイッチ素子  $SW_{21} \sim SW_{23}$  が閉じているときには、容量素子  $C_{22}$  および  $C_{23}$  それぞれを放電して初期化する。スイッチ素子  $SW_{21}$  および  $SW_{23}$  が開きスイッチ素子  $SW_{22}$  が閉じているときには、積分回路 10 から容量素子  $C_{21}$  を経て入力した第 1 の電荷を容量素子  $C_{22}$  に蓄積して、その蓄積された電荷に応じた信号電圧を出力端子から出力する。スイッチ素子  $SW_{21}$  および  $SW_{22}$  が開きスイッチ素子  $SW_{23}$  が閉じているときには、積分回路 10 から容量素子  $C_{21}$  を経て入力した第 2 の電荷を容量素子  $C_{23}$  に蓄積して、その蓄積された電荷に応じた信号電圧を出力端子から出力する。スイッチ素子  $SW_{21}$ 、 $SW_{22}$  および  $SW_{23}$  それぞれは、タイミング制御回路 600 から出力される制御信号に基づいて開閉する。

図 4 は第 1 の実施形態に係る固体撮像装置の差分演算回路 30 および比較回路 50 の回路図である。各ユニット 100n の差分演算回路 30 は、入力端子と出力端子との間に順に容量素子  $C_3$  およびアンプ  $A_3$  を有し、容量素子  $C_3$  とアンプ  $A_3$  との接続点がスイッチ素子  $SW_3$  を介して基準信号電圧発生回路 500 と接続

されている。差分演算回路 30 は、基準信号電圧発生回路 500 からスイッチ素子 SW<sub>3</sub>へ入力する基準信号電圧が一定電位（例えば接地電位）であるときには、スイッチ素子 SW<sub>3</sub>を閉じているときに容量素子 C<sub>3</sub>に電荷 Q<sub>1</sub>だけ充電し、スイッチ素子 SW<sub>3</sub>を開いているときに容量素子 C<sub>3</sub>から電荷 Q<sub>2</sub>を放電し、このよう 5 にして、CDS 回路 20 から入力する電荷 Q<sub>1</sub>と電荷 Q<sub>2</sub>との差分すなわち電荷 (Q<sub>1</sub> - Q<sub>2</sub>) を容量素子 C<sub>3</sub>に蓄積して、その蓄積された電荷 (Q<sub>1</sub> - Q<sub>2</sub>) に応じた差信号電圧 V<sub>n3</sub>をアンプ A<sub>3</sub>から出力する。また、差分演算回路 30 は、 10 スイッチ素子 SW<sub>3</sub>を閉じているときに、基準信号電圧発生回路 500 からスイッチ素子 SW<sub>3</sub>へ入力する単調に値が増加する基準信号電圧をアンプ A<sub>3</sub>に入力する。スイッチ素子 SW<sub>3</sub>は、タイミング制御回路 600 から出力される制御信号に基づいて開閉する。

各ユニット 100<sub>n</sub>の比較回路 50 は、入力端子と出力端子との間に順に容量素子 C<sub>5</sub>およびインバータ INV を有し、このインバータ INV の入出力間にスイッチ素子 SW<sub>5</sub>が接続されている。スイッチ素子 SW<sub>5</sub>は、タイミング制御回路 600 から出力される制御信号に基づいて開閉する。比較回路 50 は、スイッチ素子 SW<sub>5</sub>が閉じているときには、インバータ INV から中間電位（電源電位および接地電位の中間値）V<sub>mid</sub>を出力し、その電圧 V<sub>n1</sub>が容量素子 C<sub>5</sub>の片側に保持される。その時、容量素子 C<sub>5</sub>の反対側の端子には、差分演算回路 30 から出力された信号電圧の値 V<sub>n2</sub>が保持される。その結果、この電圧値 V<sub>n1</sub>と V<sub>n2</sub>の差 20 分の電位に容量素子 C<sub>5</sub>の容量値を掛け合わせた電荷量が、容量素子 C<sub>5</sub>に保持されることになる。

その後、差分演算回路 30 のスイッチ素子 SW<sub>3</sub>が閉じると、この時点で、容量素子 C<sub>5</sub>の片側の電位 V<sub>n2</sub>が基準電位レベルまで急降下する。それと同時に、比較回路 50 のスイッチ素子 SW<sub>5</sub>も開くと、電圧値 V<sub>n1</sub>の電位はハイインピーダンス状態であることから、電圧値 V<sub>n2</sub>の変動分だけ、電圧値 V<sub>n1</sub>も同じだけ変動して急降下する。そして、基準信号電圧発生回路 500 の基準信号電圧は単調に増 25

加して行くと、上記電圧値  $V_{n1}$  および  $V_{n2}$  もこれに比例して、ゆっくりと上昇して行く。こうして、電圧値  $V_{n1}$  が中間電位  $V_{mid}$  に達した瞬間、上記インバータ I N V の出力は急反転する。この作用により、差分演算回路 3 0 の出力電圧値の大きさが基準電圧と比較されることになる。なお、基準信号電圧発生回路 5 0 0 は時間に対して電圧が三角状に変化する三角波を発生していることとなる。

以上のように、比較回路 5 0 は、基準信号電圧発生回路 5 0 0 から出力され差分演算回路 3 0 のアンプ  $A_3$  を経て入力した基準信号電圧の値と、容量素子  $C_5$  に保持された電圧値とを比較して、その比較結果を示す論理信号を出力する。比較回路 5 0 から出力される論理信号（一致信号）は、基準信号電圧の値と容量素子  $C_5$  に保持された電圧値とが一致したタイミングで論理が反転する。

図 5 は本実施形態に係る固体撮像装置のホールド回路 4 0 の回路図である。各ユニット 1 0 0<sub>n</sub> のホールド回路 4 0 は、入力端子と出力端子との間に順にスイッチ素子  $SW_{41}$  および容量素子  $C_4$  を有し、スイッチ素子  $SW_{41}$  と容量素子  $C_4$  との接続点がスイッチ素子  $SW_{42}$  を介して接地され、容量素子  $C_4$  と出力端子との間の点がスイッチ素子  $SW_{43}$  を介して接地されている。ホールド回路 4 0 は、スイッチ素子  $SW_{41}$  および  $SW_{43}$  が閉じているときに、差分演算回路 3 0 から出力された差信号電圧  $V_{n3}$  を容量素子  $C_4$  に記憶し、スイッチ素子  $SW_{41}$  が開いた後も、容量素子  $C_4$  の信号電圧  $V_{n3}$  を保持する。スイッチ素子  $SW_{41} \sim SW_{43}$  は、タイミング制御回路 6 0 0 から出力される制御信号に基づいて開閉する。各ユニット 1 0 0<sub>n</sub> のスイッチ素子  $SW_6$  はシフトレジスタ 7 0 0 により制御されて順次に閉じ、スイッチ素子  $SW_{42}$  も閉じて、スイッチドキャバシタと同様の原理で、ホールド回路 4 0 から出力される差信号電圧  $V_{n3}$  情報を電荷の形で A/D 変換回路 4 0 0 に順次に入力させる。

図 6 は本実施形態に係る固体撮像装置の最終一致判定回路 2 0 0 の回路図である。最終一致判定回路 2 0 0 は、NMOS トランジスタ  $T_1 \sim T_N$  および抵抗器  $R_{200}$  を備える。各トランジスタ  $T_n$  のソース端子は接地され、各トランジスタ  $T_n$

のドレン端子は、抵抗器  $R_{200}$  を介して電源電圧  $V_{dd}$  に共通に接続されている。各トランジスタ  $T_n$  のゲート端子は、ユニット  $100_n$  の比較回路  $50$  の出力端子と接続されており、比較回路  $50$  から出力される論理信号が入力する。この最終一致判定回路  $200$  では、各ユニット  $100_n$  の比較回路  $50$  から出力された論理信号（一致信号）がトランジスタ  $T_n$  のゲート端子に入力され、全ての論理信号が論理  $L$  となったときに、論理  $H$  の論理信号が出力端子から基準電圧保持回路  $300$  へ出力される。この最終一致判定回路  $200$  から出力される論理信号（最終一致信号）は、各ユニット  $100_n$  の比較回路  $50$  から出力される論理信号（一致信号）が論理反転するタイミングのうち最も遅いタイミングで論理が反転する。  
10 このように構成される最終一致判定回路  $200$  は、回路サイズが小さい点で好適である。なお、最終一致判定回路  $200$  は、 $N$  入力の  $NOR$  論理回路であってもよく、この場合には、正確な論理レベル値を出力することが可能であり、誤動作し難く、消費電力が小さい点で好適である。

15 図 7 は本実施形態に係る固体撮像装置の基準電圧保持回路  $300$  の回路図である。基準電圧保持回路  $300$  は、入力端子と出力端子との間に順にスイッチ素子  $SW_{300}$  およびアンプ  $A_{300}$  を有し、スイッチ素子  $SW_{300}$  とアンプ  $A_{300}$  との接続点が容量素子  $C_{300}$  を介して接地されている。基準電圧保持回路  $300$  は、最終一致判定回路  $200$  から出力される論理信号（最終一致信号）が論理  $H$  となったときにスイッチ  $SW_{300}$  を開き、そのときの基準信号電圧発生回路  $500$  から出力されている基準信号電圧の値を容量素子  $C_{300}$  に保持しアンプ  $A_{300}$  より出力する。  
20

25 図 8 は本実施形態に係る固体撮像装置の  $A/D$  変換回路  $400$  の回路図である。 $A/D$  変換回路  $400$  は、基準電圧保持回路  $300$  から出力される基準電圧値情報を電荷の形で入力し、この基準電圧値を  $A/D$  変換レンジとする。そして、 $A/D$  変換回路  $400$  は、各ユニット  $100_n$  のホールド回路  $40$  から出力される差信号電圧  $V_{n3}$  をスイッチ素子  $SW_6$  を介して順次に入力し、その信号電圧（アナログ信号）をデジタル信号に変換して出力する。 $A/D$  変換回路  $400$  は、可変

容量積分回路 410、比較回路 A<sub>402</sub>、容量制御部 420 および読み出し部 430 を備える。

可変容量積分回路 410 は、アンプ A<sub>401</sub>、可変容量部 C<sub>400</sub> およびスイッチ素子 S W<sub>401</sub> を備える。アンプ A<sub>401</sub> は、各ユニット 100<sub>n</sub> のホールド回路 40 から出力されスイッチ素子 S W<sub>6</sub> を介して順次に到達した差信号電圧 V<sub>n3</sub> に比例する電荷量を反転入力端子に入力する。アンプ A<sub>401</sub> の非反転入力端子は接地されている。可変容量部 C<sub>400</sub> は、容量が可変であって制御可能であり、アンプ A<sub>401</sub> の反転入力端子と出力端子との間に設けられ、入力した信号電圧に応じて電荷を蓄える。スイッチ素子 S W<sub>401</sub> は、アンプ A<sub>401</sub> の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C<sub>400</sub> に電荷の蓄積を行わせ、閉じているときには可変容量部 C<sub>400</sub> における電荷蓄積をリセットする。そして、可変容量積分回路 410 は、各ユニット 100<sub>n</sub> から順次に出力された信号電圧を入力し、可変容量部 C<sub>400</sub> の容量に応じて積分し、積分した結果である積分信号を出力する。

比較回路 A<sub>402</sub> は、可変容量積分回路 410 から出力された積分信号を反転入力端子に入力し、基準電圧保持回路 300 から出力された基準電圧値を非反転入力端子に入力し、これら 2 つの入力信号の値を大小比較して、その大小比較の結果である比較結果信号を出力する。

容量制御部 420 は、比較回路 A<sub>402</sub> から出力された比較結果信号を入力し、この比較結果信号に基づいて可変容量部 C<sub>400</sub> の容量を制御する容量指示信号 C を出力するとともに、この比較結果信号に基づいて積分信号の値と基準電圧値とが所定の分解能で一致していると判断した場合に可変容量部 C<sub>400</sub> の容量値に応じた第 1 のデジタル信号を出力する。

読み出し部 430 は、容量制御部 420 から出力された第 1 のデジタル信号を入力し、この第 1 のデジタル信号に対応する第 2 のデジタル信号を出力する。第 2 のデジタル信号は、第 1 のデジタル信号の値から可変容量積分回路 410 のオフセット値を除去した値を示すものである。読み出し部 430 は、例えば記憶素

子であり、第1のデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第2のデジタル信号として出力する。この第2のデジタル信号は、本実施形態に係る固体撮像装置から出力される光検出信号となる。

図9はA/D変換回路400中の可変容量積分回路410の詳細な回路図である。この図では、 $1/2^4 = 1/16$ の分解能を有するA/D変換機能を備える回路構成を示し、以下、この回路構成で説明する。

この図に示すように、可変容量部C<sub>400</sub>は、容量素子C<sub>411</sub>～C<sub>414</sub>、スイッチ素子SW<sub>411</sub>～SW<sub>414</sub>およびスイッチ素子SW<sub>421</sub>～SW<sub>424</sub>を備える。容量素子C<sub>411</sub>およびスイッチ素子SW<sub>411</sub>は、互いに縦続接続されて、アンプA<sub>401</sub>の反転入力端子と出力端子との間に設けられており、スイッチ素子SW<sub>421</sub>は、容量素子C<sub>411</sub>およびスイッチ素子SW<sub>411</sub>の接続点と接地電位との間に設けられている。容量素子C<sub>412</sub>およびスイッチ素子SW<sub>412</sub>は、互いに縦続接続されて、アンプA<sub>401</sub>の反転入力端子と出力端子との間に設けられており、スイッチ素子SW<sub>422</sub>は、容量素子C<sub>412</sub>およびスイッチ素子SW<sub>412</sub>の接続点と接地電位との間に設けられている。容量素子C<sub>413</sub>およびスイッチ素子SW<sub>413</sub>は、互いに縦続接続されて、アンプA<sub>401</sub>の反転入力端子と出力端子との間に設けられており、スイッチ素子SW<sub>423</sub>は、容量素子C<sub>413</sub>およびスイッチ素子SW<sub>413</sub>の接続点と接地電位との間に設けられている。また、容量素子C<sub>414</sub>およびスイッチ素子SW<sub>414</sub>は、互いに縦続接続されて、アンプA<sub>401</sub>の反転入力端子と出力端子との間に設けられており、スイッチ素子SW<sub>424</sub>は、容量素子C<sub>414</sub>およびスイッチ素子SW<sub>414</sub>の接続点と接地電位との間に設けられている。

スイッチ素子SW<sub>411</sub>～SW<sub>414</sub>それぞれは、容量制御部420から出力された容量指示信号CのうちC11～C14に基づいて開閉する。スイッチ素子SW<sub>421</sub>～SW<sub>424</sub>それぞれは、容量制御部420から出力された容量指示信号CのうちC21～C24に基づいて開閉する。また、容量素子C<sub>411</sub>～C<sub>414</sub>の容量値をC<sub>411</sub>～C<sub>414</sub>で表すとすれば、これらは、

$$C_{411} = 2 \quad C_{412} = 4 \quad C_{413} = 8 \quad C_{414} \dots \dots \dots (1)$$

$$C_{411} + C_{412} + C_{413} + C_{414} = C_0 \quad \dots \dots \dots (2)$$

なる関係を満たす。

基準信号電圧発生回路 500 は、基準信号電圧を発生して、この基準信号電圧を各ユニット 100n の比較回路 50 に与え、また、この基準信号電圧を基準電圧保持回路 300 に与える。なお、本実施形態では、基準信号電圧は、差分演算回路 30 のアンプ A3 を介して間接的に比較回路 50 に与えられる。この基準信号電圧は、差分演算回路 30 が差分演算を行いホール回路 40 がその結果を保持するまでは一定電位（例えば接地電位）であり、その後は電圧値が単調に増加する。シフトレジスタ 700 は、この基準信号電圧の単調増加が終了した後に各ユニット 100n のスイッチ素子 SW6 を順次に閉じる。タイミング制御回路 600 は、その他のスイッチ素子の開閉を制御し、基準信号電圧発生回路 500 からの基準信号電圧の出力を制御する。

次に、本実施形態に係る固体撮像装置の動作について説明する。図 10A、図 10B、図 10C、図 10D、図 10E、図 10F、図 10G、図 10H、図 10I、図 10J、図 10K、図 10L、図 10M、図 10N、図 10O、図 10P は本実施形態に係る固体撮像装置の動作を説明するためのタイミングチャートである。なお、以下では、本実施形態に係る固体撮像装置が発光ダイオード等の投光手段 LED (図 14 参照) とともに測距装置を構成する場合について説明する。すなわち、以下に説明する動作は、背景光成分を除去して、発光ダイオードから被写体に投光されたスポット光成分（信号光成分）のみについての光検出信号を出力するものである。

時刻 t1 に、積分回路 10 のスイッチ素子 SW1 が閉じて、容量素子 C1 が放電され初期化される。また、CDS 回路 20 のスイッチ素子 SW21 が閉じて、CDS 回路 20 における CDS 動作が停止される。時刻 t2 に、積分回路 10 のスイッチ素子 SW1 が開く。そして、時刻 t2 以降、フォトダイオード PD から出力さ

れた電荷が容量素子  $C_1$  に蓄積されていき、積分回路 10 の出力端子から出力される信号電圧は次第に大きくなっていく。この時刻  $t_2$  では、CDS 回路 20 のスイッチ素子  $SW_{21}$  は閉じたままであり、同時にスイッチ素子  $SW_{22}$  が閉じて容量素子  $C_{22}$  の残留電荷を放電する。スイッチ素子  $SW_{23}$  は開いている。時刻  $t_3$  5 に、CDS 回路 20 のスイッチ素子  $SW_{21}$  が開き、スイッチ素子  $SW_{22}$  は閉じたままである。そして、時刻  $t_3$  から一定時間 T 経過後の時刻  $t_4$  に、CDS 回路 20 のスイッチ素子  $SW_{21}$  が閉じ、スイッチ素子  $SW_{22}$  が開く。

時刻  $t_2 \sim t_4$  の期間では、発光ダイオードから被写体にスポット光が投光されている。したがって、発光ダイオードから投光され被写体により反射されたスポット光成分および背景光成分の双方がフォトダイオード PD に入射して、それによって発生した信号電流がフォトダイオード PD から出力される。そして、その信号電流を入力した積分回路 10 では、容量素子  $C_1$  に電荷が蓄積され、その蓄積された電荷の量に応じた信号電圧が積分回路 10 から出力される。また、時刻  $t_3 \sim t_4$  の期間（第 1 の期間）では、積分回路 10 の出力端子から出力される信号電圧が CDS 回路 20 に入力して、時刻  $t_3$  以降の入力信号電圧の変化分に相当する電荷が容量素子  $C_{22}$  に蓄積され、その蓄積された電荷の量に応じた信号電圧が CDS 回路 20 から出力される。したがって、時刻  $t_4$  に CDS 回路 20 から出力される信号電圧は、時刻  $t_3$  および時刻  $t_4$  それぞれに積分回路 10 から出力される信号電圧の差に相当する電圧値  $V_{n1}$  となり、積分回路 10 にて生じるノイズ成分が除去されたものとなる。  
10  
15  
20

時刻  $t_4$  に、スイッチ素子  $SW_{22}$  が開いて、その時点での CDS 結果が電荷量として、これ以降、容量素子  $C_{22}$  に保持され続ける。さらに、その直後に積分回路 10 のスイッチ素子  $SW_1$  が閉じて、容量素子  $C_1$  が放電され初期化される。また、CDS 回路 20 のスイッチ素子  $SW_{21}$  が閉じて、CDS 回路 20 における CDS 25 動作が停止される。同時に、スイッチ素子  $SW_{23}$  が閉じて、容量素子  $C_{23}$  の残留電荷を放電する。時刻  $t_5$  に、積分回路 10 のスイッチ素子  $SW_1$  が開く。そして、

時刻  $t_5$  以降、フォトダイオード P D から出力された電荷が容量素子  $C_1$  に蓄積されていき、積分回路 1 0 の出力端子から出力される信号電圧は次第に大きくなっていく。この時刻  $t_5$  では、CDS 回路 2 0 のスイッチ素子  $S W_{21}$  は閉じたままであり、スイッチ素子  $S W_{22}$  は開いている。時刻  $t_6$  に、CDS 回路 2 0 のスイッチ素子  $S W_{21}$  が開き、スイッチ素子  $S W_{23}$  は閉じたままである。そして、時刻  $t_6$  から一定時間経過後の時刻  $t_7$  にスイッチ素子  $S W_{23}$  が開いて、その時点での CDS 結果が、これ以降、スイッチ素子  $S W_{23}$  に電荷の形で保持される。その後、CDS 回路 2 0 のスイッチ素子  $S W_{21}$  が閉じて、次の動作に備える。

時刻  $t_5 \sim t_7$  の期間では、発光ダイオードから被写体にスポット光が投光されていない。したがって、背景光成分のみがフォトダイオード P D に入射して、それによって発生した信号電流がフォトダイオード P D から出力される。そして、その信号電流を入力した積分回路 1 0 では、容量素子  $C_1$  に電荷が蓄積され、その蓄積された電荷の量に応じた信号電圧が積分回路 1 0 から出力される。また、時刻  $t_6 \sim t_7$  の期間（第 2 の期間）では、積分回路 1 0 の出力端子から出力される信号電圧が CDS 回路 2 0 に入力して、時刻  $t_6$  以降の入力信号電圧の変化分に相当する電荷が容量素子  $C_{23}$  に蓄積され、その蓄積された電荷の量に応じた信号電圧が CDS 回路 2 0 から出力される。したがって、時刻  $t_7$  に CDS 回路 2 0 から出力される信号電圧は、時刻  $t_6$  および時刻  $t_7$  それぞれに積分回路 1 0 から出力される信号電圧の差に相当する電圧値  $V_{n2}$  となり、積分回路 1 0 にて生じるノイズ成分が除去されたものとなる。

時刻  $t_7$  以降では、CDS 回路 2 0 の容量素子  $C_{22}$  に蓄積されている電荷は、スポット光成分と背景光成分とを加算したものに相当するものであり、CDS 回路 2 0 の容量素子  $C_{23}$  に蓄積されている電荷は、背景光成分のみに相当するものである。また、時刻  $t_3 \sim t_4$  までの期間（第 1 の期間）と時刻  $t_6 \sim t_7$  までの期間（第 2 の期間）とは互いに等しい時間 T であり、容量素子  $C_{22}$  および  $C_{23}$  それぞれの容量値は互いに等しいので、電圧値  $V_{n1}$  は、スポット光成分と背景光成分と

を加算したものに相当するものであり、電圧値  $V_{n2}$  は、背景光成分のみに相当するものであり、したがって、これら間の電圧差  $V_{n3} = (V_{n1} - V_{n2})$  は、スポット光成分のみに相当するものである。そこで、時刻  $t_8$  以降では、この電圧差  $V_{n3}$  が差分演算回路 30 により以下のようにして求められる。

5 時刻  $t_7 \sim t_{11}$  の期間（第3の期間）では、積分回路 10 のスイッチ素子  $SW_1$  が閉じて、容量素子  $C_1$  が放電され初期化状態が維持される。また、CDS回路 20 のスイッチ素子  $SW_{21}$  が開いたままである。この第3の期間に、差分演算回路 30 は、CDS回路 20 の容量素子  $C_{22}$  および  $C_{23}$  それぞれに蓄積されている電荷量の差分を求めて、その差分に応じた差信号電圧を出力し、ホールド回路 40 は、この差分演算回路 30 から出力された差信号電圧を保持する。

10 時刻  $t_8 \sim t_9$  の間に、CDS回路 20 のスイッチ素子  $SW_{22}$  が閉じる。このとき、差分演算回路 30 のスイッチ素子  $SW_3$  は閉じている。この期間に CDS 回路 20 の出力端子から出力される信号電圧は、容量素子  $C_{22}$  に蓄積された電荷の量に応じた電圧値  $V_{n1}$  であり、この電圧値  $V_{n1}$  が差分演算回路 30 の容量素子  $C_3$  に保持される。

15 時刻  $t_{10} \sim t_{11}$  の間に、CDS回路 20 のスイッチ素子  $SW_{23}$  が閉じる。このとき、差分演算回路 30 のスイッチ素子  $SW_3$  は開いている。この期間に CDS 回路 20 の出力端子から出力される信号電圧は、容量素子  $C_{23}$  に蓄積された電荷の量に応じた電圧値  $V_{n2}$  である。このとき、差分演算回路 30 のスイッチ素子  $SW_3$  は開いているので、差分演算回路 30 の容量素子  $C_3$  には、電圧値  $V_{n2}$  と電圧値  $V_{n1}$  との差  $V_{n3}$  が保持され、この電圧値  $V_{n3}$  がアンプ  $A_3$  を介して出力される。この電圧値  $V_{n3}$  は、スポット光成分のみに相当するものである。

20 そして、ホールド回路 40 のスイッチ素子  $SW_{41}$  および  $SW_{43}$  が閉じると、差分演算回路 30 の容量素子  $C_3$  に保持されている電圧値  $V_{n3}$  は、差分演算回路 30 のアンプ  $A_3$  およびホールド回路 40 のスイッチ素子  $SW_{41}$  を経て、ホールド回路 40 の容量素子  $C_4$  に保持される。スイッチ素子  $SW_{41}$  が開いた後も、ホールド回

路 4 0 の容量素子  $C_4$  に保持された電圧値  $V_{n3}$  の情報は、容量素子  $C_4$  に蓄積された電荷量の形で保持され続ける。

時刻  $t_{11}$  までは、比較回路 5 0 のスイッチ素子  $SW_5$  は閉じており、比較回路 5 0 のインバータ INV の入力電圧レベルおよび出力電圧レベルはともに中間電位である。また、比較回路 5 0 の容量素子  $C_5$  には、差分演算回路 3 0 により求められた差信号電圧  $V_{n3}$  の値が保持される。時刻  $t_{11}$  の後に、差分演算回路 3 0 のスイッチ素子  $SW_3$  が閉じて、比較回路 5 0 のスイッチ素子  $SW_5$  が開くと、差分演算回路 3 0 からの出力電圧レベルは電圧値  $V_{n3}$  から  $-V_{n3}$  だけ低下するとともに、比較回路 5 0 のインバータ INV の入力電圧レベルは中間電位から  $-V_{n3}$  だけ低下し、比較回路 5 0 から出力される信号は論理 H の論理信号となる。

時刻  $t_{12}$  以降（第 4 の期間）では、基準信号電圧発生回路 5 0 0 から出力される基準信号電圧は単調に値が増加していく。各ユニット 1 0 0<sub>n</sub> の比較回路 5 0 では、差分演算回路 3 0 により求められて容量素子  $C_5$  に保持されている電圧値  $V_{n3}$  と、基準信号電圧発生回路 5 0 0 から出力され差分演算回路 3 0 のアンプ  $A_3$  を経て入力する基準信号電圧の値との比較が行われ、両者が一致すると論理 L の論理信号（一致信号）が出力される。比較回路 5 0 から出力される論理信号の論理 L への変化は、両者が一致するタイミングを示す。

最終一致判定回路 2 0 0 では、各ユニット 1 0 0<sub>n</sub> の比較回路 5 0 から出力される論理信号の全てが論理 L となると、論理 H の論理信号（最終一致信号）が出力される。最終一致判定回路 2 0 0 から出力される論理信号の論理 H への変化は、各ユニット 1 0 0<sub>n</sub> の比較回路 5 0 から出力される論理信号が論理 L となるタイミングのうち最も遅いタイミングを示す。なお、最終一致判定回路 2 0 0 から出力される論理信号が論理 H へ変化した時点で、基準信号電圧発生回路 5 0 0 から出力される基準信号電圧の値の増加を終了してよい。

基準電圧保持回路 3 0 0 では、最終一致判定回路 2 0 0 から出力される論理信号が論理 H となつたタイミングでスイッチ素子  $SW_{300}$  が開いて、そのタイミング

における基準信号電圧発生回路 500 からの基準信号電圧の値(基準電圧値  $V_{ref}$ )が容量素子  $C_{300}$  に保持され、その後もアンプ  $A_{300}$  を介して基準電圧値  $V_{ref}$  が出力される。この基準電圧値  $V_{ref}$  は、各ユニット 100<sub>n</sub> の差分演算回路 30 により求められホールド回路 40 に保持された差信号電圧  $V_{n3}$  の最大値を表している。

5 そして、この基準電圧保持回路 300 により保持された基準電圧値  $V_{ref}$  に基づいて A/D 変換回路 400 の A/D 変換レンジが設定される。

A/D 変換回路 400 の A/D 変換レンジが設定された後の期間(第 5 の期間)では、各ユニット 100<sub>n</sub> のスイッチ素子  $S W_6$  がシフトレジスタ 700 により順次に閉じられる。各ユニット 100<sub>n</sub> のホールド回路 40 から出力された差信号電圧  $V_{n3}$  に比例する電荷量は、スイッチ素子  $S W_{401}$  が一旦閉じて可変容量部  $C_{400}$  の電荷を全て放電してリセット状態とした後に、更にスイッチ素子  $S W_{401}$  を開いてからスイッチ素子  $S W_6$  およびスイッチ素子  $S W_{42}$  を同時に開くと、可変容量部  $C_{400}$  に転送される。このようにして、差信号電圧  $V_{n3}$  に相当する電圧が、A/D 変換回路 400 の可変容量部  $C_{400}$  に順次に電荷の形で入力された後、デジタル信号に変換されて、該デジタル信号が A/D 変換回路 400 から出力される。

15 続いて、図 11A、図 11B、図 11C、図 11D を用いて、A/D 変換回路 400 の動作を説明する。時刻  $t_{13}$  においては、可変容量積分回路 410 のスイッチ素子  $S W_{401}$  は閉じられ、可変容量積分回路 410 はリセット状態とされている。また、可変容量積分回路 410 のスイッチ素子  $S W_{411} \sim S W_{414}$  それそれが閉じられ、スイッチ素子  $S W_{421} \sim S W_{424}$  それそれが開かれて、可変容量部  $C_{400}$  の容量値が  $C_0$  に設定されている。

20 そして、時刻  $t_{13}$  以降の或る時刻に、A/D 変換回路 400 のスイッチ素子  $S W_{401}$  が開かれ、第 1 番目のユニット 100<sub>1</sub> のスイッチ素子  $S W_6$  が閉じられる。ユニット 100<sub>1</sub> のホールド回路 40 の容量素子  $C_4$  に蓄積されている電荷量  $Q$  は、スイッチ素子  $S W_{41}$  および  $S W_{43}$  が開きスイッチ素子  $S W_{42}$  が閉じると、スイッチ素子  $S W_6$  を介して、A/D 変換回路 400 の可変容量部 410 に入力する。

可変容量積分回路 410 に電荷量  $Q$  が入力すると、信号電圧  $V_{13}$  の値と可変容量部  $C_{400}$  の容量値  $C_0$  とに応じた電荷  $Q$  が可変容量部  $C_{400}$  に流入する（図 11 A 参照）。このとき、可変容量積分回路 410 から出力される積分信号の値  $V_{sa}$  は、

$$V_{sa} = V_{13} = Q / C_0 \dots (3)$$

なる式で表される。

引き続き、容量制御部 420 は、可変容量部  $C_{400}$  のスイッチ素子  $SW_{412} \sim SW_{414}$  を開いた後、スイッチ素子  $SW_{422} \sim SW_{424}$  を閉じる（図 11 B 参照）。この結果、可変容量部  $C_{400}$  の容量値は  $C_{411}$  となり、可変容量積分回路 410 から出力される積分信号の値  $V_{sb}$  は、

$$V_{sb} = Q / C_{411} \dots (4)$$

となる。この積分信号は、比較回路  $A_{402}$  に入力し、その値が基準電圧値  $V_{ref}$  と大小比較される。

もし、 $V_{sb} > V_{ref}$  であれば、この比較結果を受けて容量制御部 420 は、さらに、可変容量部  $C_{400}$  のスイッチ素子  $SW_{422}$  を開いた後に、スイッチ素子  $SW_{412}$  を閉じる（図 11 C 参照）。この結果、可変容量部  $C_{400}$  の容量値は  $C_{411} + C_{412}$  となり、可変容量積分回路 410 から出力される積分信号の値  $V_{sc}$  は、

$$V_{sc} = Q / (C_{411} + C_{412}) \dots (5)$$

となる。この積分信号は、比較回路  $A_{402}$  に入力し、その値が基準電圧値  $V_{ref}$  と大小比較される。

また、 $V_{sb} < V_{ref}$  であれば、この比較結果を受けて容量制御部 420 は、さらに、可変容量部  $C_{400}$  のスイッチ素子  $SW_{411}$  および  $SW_{422}$  を開いた後に、スイッチ素子  $SW_{412}$  および  $SW_{421}$  を閉じる（図 11 D 参照）。この結果、可変容量部  $C_{400}$  の容量値は  $C_{412}$  となり、可変容量積分回路 410 から出力される積分信号の値  $V_{sd}$  は、

$$V_{sd} = Q / C_{412} \dots (6)$$

となる。この積分信号は、比較回路  $A_{402}$  に入力し、その値が基準電圧値  $V_{ref}$  と大

小比較される。

以後、同様にして、可変容量積分回路 410、比較回路 A<sub>402</sub> および容量制御部 420 からなるフィードバックループにより、積分信号の値と基準電位 V<sub>ref</sub> とが所定の分解能で一致していると容量制御部 420 により判断されるまで、可変容量部 C<sub>400</sub> の容量値の設定、および、積分信号の値と基準電圧値 V<sub>ref</sub> との大小比較を繰り返す。容量制御部 420 は、このようにして可変容量部 C<sub>400</sub> の容量素子 C<sub>411</sub>～C<sub>414</sub> の全てについて容量制御を終了すると、可変容量部 C<sub>400</sub> の最終的な容量値に応じたデジタル信号を読み出し部 430 へ向けて出力する。

読み出し部 430 では、容量制御部 420 から出力されたデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデジタルデータを、本実施形態に係る固体撮像装置の光検出信号として出力する。以上のようにして、第 1 番目のユニット 100<sub>1</sub> のフォトダイオード PD に入射したスポット光の光量に応じた信号電圧 V<sub>13</sub> は、A/D 変換回路 400 によりデジタル信号に変換され、そのデジタル信号が光検出信号として出力される。以降同様にして、第 2 番目以降のユニット 100<sub>n</sub> のフォトダイオード PD に入射したスポット光の光量に応じた差信号電圧 V<sub>n3</sub> は、A/D 変換回路 400 によりデジタル信号に変換され、そのデジタル信号が光検出信号として順次に出力される。

可変容量積分回路 410 に入力する各信号電圧 V<sub>n3</sub> の最大値が基準電圧値 V<sub>ref</sub> であり、可変容量部 C<sub>400</sub> の容量値の最大値が C<sub>0</sub> であることから、上記(3)式より、可変容量部 C<sub>400</sub> に流入する電荷 Q の最大値は V<sub>ref</sub> · C<sub>0</sub> である。そして、或る第 n 番目の信号電圧 V<sub>n3</sub> が基準電圧値 V<sub>ref</sub> であるときには、可変容量部 C<sub>400</sub> のスイッチ素子 S<sub>W411</sub>～S<sub>W414</sub> の全てが閉じられて可変容量部 C<sub>400</sub> の容量値は C<sub>0</sub> となる。一方、他の或る第 n 番目の信号電圧 V<sub>n3</sub> が基準電圧値 V<sub>ref</sub> より小さい値であるときには、可変容量部 C<sub>400</sub> に流入する電荷 Q は V<sub>ref</sub> · C<sub>0</sub> より小さいので、可変容量部 C<sub>400</sub> のスイッチ素子 S<sub>W411</sub>～S<sub>W414</sub> のうち何れかが開くことにより、可変容量積分回路 410 から出力される積分信号は基準電圧値 V<sub>ref</sub> と等しくなる。

以上のように、基準電圧保持回路 300 から出力され比較回路 A<sub>402</sub> に入力される基準電圧値  $V_{ref}$  は、A/D 変換回路 400 が飽和することなく A/D 変換することができる差信号電圧  $V_{n3}$  の最大値すなわち A/D 変換レンジを規定している。しかも、A/D 変換回路 400 に入力する各信号電圧  $V_{n3}$  のうち何れかの値は必ず基準電圧値  $V_{ref}$  であるから、上記 A/D 変換レンジの全ての範囲を有効に活用することができる。すなわち、本実施形態に係る固体撮像装置は、入射光強度が大きくても飽和することなく、且つ、入射光強度が小さくても A/D 変換の分解能が優れたものとなる。

また、固体撮像装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の撮像結果から背景光成分の撮像結果を差し引くことによりスポット光成分のみの像を得る場合であって、フォトダイオード PD に入射する光のうちスポット光成分に比べて背景光成分が大きい場合であっても、その差し引いた結果として得られるスポット光成分に基づいて A/D 変換回路 400 から出力されるデジタル信号は、分解能が優れたものとなる。

さらに、本実施形態では、スポット光成分および背景光成分の双方がフォトダイオード PD により受光されているときに、一定時間 T における積分回路 10 から出力される信号電圧の変動分  $V_{n1}$  が CDS 回路 20 の容量素子  $C_{22}$  に保持される。また、背景光成分のみがフォトダイオード PD により受光されているときに、一定時間 T における積分回路 10 から出力される信号電圧の変動分  $V_{n2}$  が CDS 回路 20 の容量素子  $C_{23}$  に保持される。そして、その後に、電圧値  $V_{n1}$  と電圧値  $V_{n2}$  との差に相当する差信号電圧  $V_{n3}$  が、差分演算回路 30 により求められ、ホールド回路 40 から出力される。したがって、CDS 回路 20 から出力される電圧値  $V_{n1}$  および電圧値  $V_{n2}$  や、ホールド回路 40 から出力される差信号電圧  $V_{n3}$  は、積分回路 10 にて生じるノイズ成分が除去されたものとなる。

## 25 (第 2 の実施形態)

次に、第 2 の実施形態に係る固体撮像装置の構成について説明する。第 2 の実

施形態に係る固体撮像装置は、第1の実施形態の場合と比較すると、差分演算回路30および比較回路50それぞれの回路構成が異なる。図12は第2の実施形態に係る固体撮像装置の差分演算回路30および比較回路50の回路図である。

各ユニット100nの差分演算回路30は、入力端子と出力端子との間に順に容量素子C3およびアンプA3を有し、容量素子C3とアンプA3との接続点がスイッチ素子SW3を介して接地されている。差分演算回路30は、スイッチ素子SW3を閉じているときに容量素子C3に電荷Q1だけ充電し、スイッチ素子SW3を開いているときに容量素子C3から電荷Q2を放電し、このようにして、CDS回路20から入力する電荷Q1と電荷Q2との差分すなわち電荷(Q1-Q2)を容量素子C3に蓄積して、その蓄積された電荷(Q1-Q2)に応じた信号電圧をアンプA3から出力する。スイッチ素子SW3は、タイミング制御回路600から出力される制御信号に基づいて開閉する。

各ユニット100nの比較回路50は、2つの入力端子および1つの出力端子を有している。第1(第2)の入力端子と出力端子との間に順にスイッチ素子SW52(SW53)、容量素子C5およびインバータINVを有し、このインバータINVの入出力間にスイッチ素子SW51が接続されている。スイッチ素子SW51～SW53は、タイミング制御回路600から出力される制御信号に基づいて開閉する。

CDS回路20の容量素子C22およびC23それぞれに蓄積されている電荷量の差分を差分演算回路30で求めて該差分をホールド回路40で保持する第3の期間では、比較回路50は、スイッチ素子SW51を閉じてインバータINVから中間電位を出力し、また、スイッチ素子SW52を閉じスイッチ素子SW53を開いて、差分演算回路30から出力された電圧値Vn3を容量素子C3に保持する。この第3の期間に続く第4の期間では、比較回路50は、スイッチ素子SW51およびSW52を開きスイッチ素子SW53を閉じて、基準信号電圧発生回路500から出力される基準信号電圧の値と、容量素子C5に保持された電圧値Vn3とを比較して、そ

の比較結果を示す論理信号を出力する。比較回路 50 から出力される論理信号は、基準信号電圧の値と容量素子 C<sub>5</sub> に保持された電圧値 V<sub>n3</sub> とが一致したタイミングで論理が反転する。

本実施形態に係る固体撮像装置の動作および効果は、第 1 の実施形態の場合と同様である。

### (第 3 の実施形態)

次に、第 3 の実施形態に係る固体撮像装置の構成について説明する。第 3 の実施形態に係る固体撮像装置は、第 2 の実施形態の場合と比較すると、比較回路 50 の回路構成が異なる。図 13 は第 3 の実施形態に係る固体撮像装置の差分演算回路 30 および比較回路 50 の回路図である。

各ユニット 100<sub>n</sub> の比較回路 50 は、2つの入力端子および1つの出力端子を有し、スイッチ素子 S<sub>W5</sub>、容量素子 C<sub>5</sub> および差動型コンパレータ COMP を有している。差動型コンパレータ COMP の非反転入力端子は、容量素子 C<sub>5</sub> を介して接地され、また、差分演算回路 30 から出力される信号電圧を入力する第 1 の入力端子とスイッチ素子 S<sub>W5</sub> を介して接続されている。差動型コンパレータ COMP の反転入力端子は、基準信号電圧発生回路 500 から出力される基準信号電圧を入力する第 2 の入力端子と接続されている。スイッチ素子 S<sub>W5</sub> は、タイミング制御回路 600 から出力される制御信号に基づいて開閉する。

CDS 回路 20 の容量素子 C<sub>22</sub> および C<sub>23</sub> それぞれに蓄積されている電荷量の差分を差分演算回路 30 で求めて該差分をホールド回路 40 で保持する第 3 の期間では、比較回路 50 は、スイッチ素子 S<sub>W5</sub> を閉じて、差分演算回路 30 から出力された電圧値 V<sub>n3</sub> を容量素子 C<sub>3</sub> に保持する。この第 3 の期間に続く第 4 の期間では、比較回路 50 は、スイッチ素子 S<sub>W5</sub> を開いて、基準信号電圧発生回路 500 から出力される基準信号電圧の値と、容量素子 C<sub>5</sub> に保持された電圧値 V<sub>n3</sub> とを差動型コンパレータ COMP で比較して、その比較結果を示す論理信号を出力する。比較回路 50 から出力される論理信号は、基準信号電圧の値と容量素子

C<sub>5</sub>に保持された電圧値V<sub>n3</sub>とが一致したタイミングで論理が反転する。

本実施形態に係る固体撮像装置の動作および効果は、第1の実施形態の場合と同様である。特に、本実施形態では、キャパシタ入力に頼ることなく差動型コンバレータCOMPで比較しているので、寄生容量の影響が小さく、比較の精度が

5 優れる。

図14は上述の固体撮像装置が実装された撮像装置を搭載した測距装置の斜視図である。図1に示した固体撮像装置は半導体チップSCからなり、本撮像装置においては、半導体チップSCをセラミック製のパッケージPKG内に収納している。A/D変換回路400は半導体チップSC内に形成してもよいが、半導体チップSCの外側に接続してもよい。半導体チップSCがA/D変換回路400を含む場合には、パッケージPKGの側面には、A/D変換回路400の出力端子TMが設けられ、含まない場合にはA/D変換回路400へ入力される信号を出力するための出力端子TMが設けられる。

パッケージPKGは凹部を有しており、半導体チップSCは当該凹部内に配置されている。この凹部の内壁には段部S TPが形成されており、この段部S TP上にフィルタFが配置され、フィルタFによってパッケージPKGの凹部は閉塞されている。なお、フィルタFとパッケージPKGとの隙間には接着剤AHVが介在している。フィルタFは赤外線を選択的に透過する赤外線フィルタであり、Siからなる。なお、半導体チップSCの構成材料もSiである。

20 フィルタFを透過した赤外線は半導体チップSCの表面に設けられたホトダイオードPDのアレイに入射し、この入射画像に対応した画像信号は出力端子TMから出力される。

本撮像装置は回路基板CB上に搭載されている。すなわち、回路基板CB上にはソケットSKTが固定されており、ソケットSKTの内面に端子TMが接触するように、撮像装置がソケットSKTに嵌め込まれる。回路基板CB上には光源LEDも配置される。すなわち、本装置は、固体撮像素子SCへ入射する光を提

供する光源L E Dを備え、固体撮像装置S C及び光源L E Dは同一の回路基板C B上に固定されている。

入射画像が、固定位置に配置された赤外線光源L E Dからの光スポットである場合には、上記画像信号に基づいて光スポットの入射位置を検出することができる。  
5 すなわち、光源L E Dから対象物に赤外線を出射し、対象物による反射光をレンズL Sによって集光することにより半導体チップS C上に光スポットを形成し、基準位置からの光スポットの距離（入射位置）を画像信号に基づいて求め、この入射位置に基づいて対象物までの距離を演算する。なお、レンズL Sは回路基板C Bに対して固定される。

10 この演算には三角測量法の原理を用いることができる。すなわち、光スポットの入射位置は、光源L E Dと半導体チップS Cとの間の距離に応じて変化するので、本装置は測距装置に用いることができることとなる。なお、この演算は、回路基板C B上に搭載されたデジタルプロセッサによって行われる。

15 以上、詳細に説明したとおり、本発明によれば、N個のユニットそれぞれにおいては、入射光量に応じた信号電流が光検出素子から出力され、積分回路では、光検出素子から出力された信号電流に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた信号電圧が出力される。C D S回路では、積分回路から出力される信号電圧が第1の容量素子に入力し、スイッチ手段により選択された第2および第3の容量素子のうち何れか一方に、その入力した信号電圧の変化量に応じた電荷量が蓄積される。そして、差分演算回路では、C D S回路の第2および第3の容量素子それに蓄積されている電荷量の差分が求められ、その差分に応じた差信号電圧が出力される。この差信号電圧がホールド回路により保持される。また、比較回路では、差分演算回路により得られた差信号電圧の値と、基準信号電圧発生回路から出力される単調に値が増加する基準信号電圧の値とが比較され、  
20 両者が一致するタイミングを示す一致信号が出力される。

25 さらに本発明によれば、最終一致判定回路では、N個の比較回路それから

出力される一致信号が示すタイミングのうち、最も遅いタイミングを示す最終一致信号が出力される。基準電圧保持回路では、最終一致信号が示すタイミングにおける基準信号電圧の値が保持され出力される。この保持された基準信号電圧の値は、N個のホールド回路それにより保持されている差信号電圧のうちの最大値である。そして、A/D変換回路では、基準電圧保持回路から出力される基準信号電圧の値に基づいてA/D変換レンジが設定され、N個のホールド回路それから出力される差信号電圧が順次に入力され、その差信号電圧がデジタル信号に変換されて、そのデジタル信号が出力される。

したがって、積分回路が各積分動作毎に異なるノイズばらつきを有していても、CDS回路によりノイズ誤差が解消される。また、入射光強度が大きくても飽和することなく、入射光強度が小さくても分解能が優れたものとなる。

また、第1の期間に、CDS回路の第2および第3の容量素子のうち一方にスポット光成分（信号光成分）および背景光成分に応じた電荷が蓄積され、第2の期間に、他方に背景光成分に応じた電荷が蓄積され、そして、第3の期間に両者の差分（信号光成分）が差分演算回路で求められホールド回路に保持される。続いて第4の期間に、単調に値が増加する基準信号電圧が基準信号電圧発生回路から出力される。比較回路からは、差信号電圧および基準信号電圧それぞれの値の比較に基づいて両者が一致するタイミングを示す一致信号が出力される。最終一致判定回路からは、この一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号が出力されて、基準電圧保持回路により、この最終一致信号が示すタイミングにおける基準信号電圧の値が保持される。この保持された基準信号電圧の値に基づいて、A/D変換回路のA/D変換レンジが設定される。そして、第5の期間に、N個のホールド回路それから出力される差信号電圧が順次にA/D変換回路に入力して、その差信号電圧がデジタル信号に変換されて該デジタル信号がA/D変換回路から出力される。このようにすることで、背景光成分が除去されて信号光成分についての光検出のS/N比は優れたものとなる。

また、上記固体撮像装置は、複数の回路列（P D、10、20、30、50、40、SW<sub>6</sub>）の出力信号が順次入力されるA/D変換回路400を備える固体撮像装置において、前記回路列のそれぞれは、光検出素子P Dと、光検出素子P Dの出力に応じた信号（差分演算回路30の出力信号）と単調増加する電圧（基準信号電圧発生回路500の出力）とが入力され、両者が一致するタイミングを示す一致信号を出力する比較回路50とを備え、この固体撮像装置は、それぞれの比較回路50から出力される複数の一一致信号が入力され、これらの一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号を出力する最終一致判定回路200を備え、A/D変換回路400のA/D変換レンジは、最終一致信号が出力された時の単調増加する電圧（基準信号電圧発生回路500の出力）の値に応じて設定されることを特徴とする。

最終一致信号は、上記光検出素子P Dの出力に応じた信号のうちで、最も入射光強度（光強度）が大きいものに対応する。したがって、これに基づいてA/D変換レンジを設定すれば、入射光強度が大きくても飽和することなく、入射光強度が小さくても分解能が優れたものとなる。

#### 産業上の利用可能性

本発明は、固体撮像装置及び測距装置に利用することができる。

## 請求の範囲

1. 複数の回路列の出力信号が順次入力されるA／D変換回路を備える固体撮像装置において、

5 前記回路列のそれぞれは、光検出素子と、前記光検出素子の出力に応じた信号と単調増加する電圧とが入力され、両者が一致するタイミングを示す一致信号を出力する比較回路とを備え、

前記固体撮像装置は、それぞれの前記比較回路から出力される複数の一一致信号が入力され、これらの一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号を出力する最終一致判定回路を備え、

10 前記A／D変換回路のA／D変換レンジは、前記最終一致信号が出力された時の前記単調増加する電圧の値に応じて設定されることを特徴とする固体撮像装置。

2. 入射光量に応じた信号電流を出力するN(N≥2)個の光検出素子と、

15 前記N個の光検出素子それぞれに対応して設けられ、各光検出素子から出力された信号電流に応じて電荷を蓄積して、その蓄積された電荷の量に応じた信号電圧を出力するN個の積分回路と、

20 前記N個の積分回路それぞれに対応して設けられ、各積分回路から出力された信号電圧を入力する入力端と出力端との間に順に設けられた第1の容量素子および増幅器と、前記増幅器の入出力間に並列的に設けられ容量値が互いに等しい第2の容量素子および第3の容量素子と、前記第2および前記第3の容量素子のうち何れか一方を選択して前記信号電圧の変化量に応じた電荷量を蓄積させるスイッチ手段と、を有するN個のCDS回路と、

25 前記N個のCDS回路それぞれに対応して設けられ、各CDS回路の前記第2および前記第3の容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた差信号電圧を出力するN個の差分演算回路と、

前記N個の差分演算回路それぞれに対応して設けられ、各差分演算回路により

得られた差信号電圧を保持して出力するN個のホールド回路と、  
単調に値が増加する基準信号電圧を出力する基準信号電圧発生回路と、  
前記N個の差分演算回路それぞれに対応して設けられ、各差分演算回路により  
得られた差信号電圧の値と、前記基準信号電圧発生回路から出力される基準信号  
電圧の値とを比較し、両者が一致するタイミングを示す一致信号を出力するN個  
の比較回路と、  
前記N個の比較回路それから出力される一致信号を入力し、これらの一致  
信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号を出力する  
最終一致判定回路と、  
前記最終一致判定回路から出力される最終一致信号と、前記基準信号電圧発生  
回路から出力される基準信号電圧とを入力し、前記最終一致信号が示すタイミン  
グにおける前記基準信号電圧の値を保持し出力する基準電圧保持回路と、  
前記基準電圧保持回路から出力される前記基準信号電圧の値に基づいてA/D  
変換レンジを設定し、前記N個のホールド回路それから出力される差信号電  
圧を順次に入力し、その差信号電圧をデジタル信号に変換して、そのデジタル信  
号を出力するA/D変換回路と、  
を備えることを特徴とする固体撮像装置。

3. 前記N個の積分回路、前記N個のCDS回路、前記N個の差分演算  
回路、前記N個のホールド回路、前記基準信号電圧発生回路、前記N個の比較回  
路、前記最終一致判定回路、前記基準電圧保持回路および前記A/D変換回路そ  
れぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット  
光を投光する投光手段とともに用いられる固体撮像装置であって、

前記タイミング制御回路は、

前記投光手段により前記被写体に前記スポット光が投光されている第1の期間  
に、前記光検出素子に当該スポット光成分および背景光成分が入射したときに前  
記積分回路が出力した信号電圧の変化量に応じた電荷量を前記CDS回路の前記

第2の容量素子に蓄積させ、

前記投光手段により前記被写体に前記スポット光が投光されていない第2の期間に、前記光検出素子に前記背景光成分が入射したときに前記積分回路が出力した信号電圧の変化量に応じた電荷量を前記CDS回路の前記第3の容量素子に蓄積させ、  
5

前記第1および前記第2の期間の後の第3の期間に、前記CDS回路の前記第2および前記第3の容量素子それぞれに蓄積されている電荷量の差分を前記差分演算回路に演算させて、その差分に応じた差信号電圧を前記差分演算回路から出力させるとともに、その差信号電圧を前記ホールド回路に保持させ、  
10

前記第3の期間の後の第4の期間に、単調に値が増加する基準信号電圧を前記基準信号電圧発生回路から出力させるとともに、前記差信号電圧および前記基準信号電圧それぞれの値の比較に基づいて両者が一致するタイミングを示す一致信号を前記比較回路から出力させ、この一致信号が示すタイミングのうち最も遅いタイミングを示す最終一致信号を前記最終一致判定回路から出力させ、この最終一致信号が示すタイミングにおける前記基準信号電圧の値を前記基準電圧保持回路に保持させ、この保持された前記基準信号電圧の値に基づいて前記A/D変換回路のA/D変換レンジを設定させ、  
15

前記第4の期間の後の第5の期間に、前記N個のホールド回路それから出力される差信号電圧を順次に前記A/D変換回路に入力させて、その差信号電圧をデジタル信号に変換させて該デジタル信号を前記A/D変換回路から出力させることを特徴とする請求の範囲第2項記載の固体撮像装置。  
20

4. 請求の範囲第2項記載の固体撮像装置と、前記固体撮像素子へ入射する光を提供する光源とを備え、前記固体撮像装置及び前記光源は同一の回路基板上に固定されていることを特徴とする測距装置。

図1

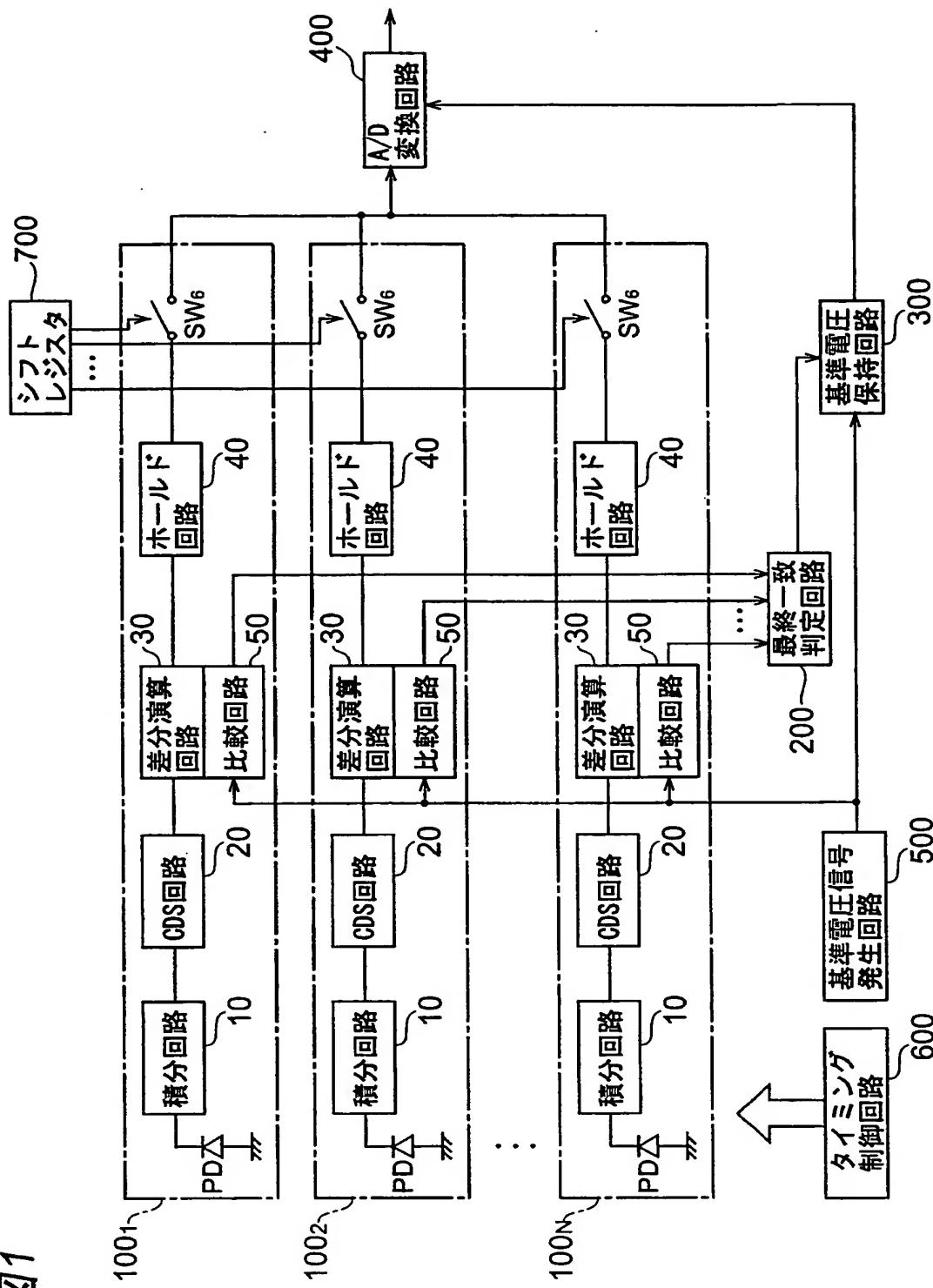


図2

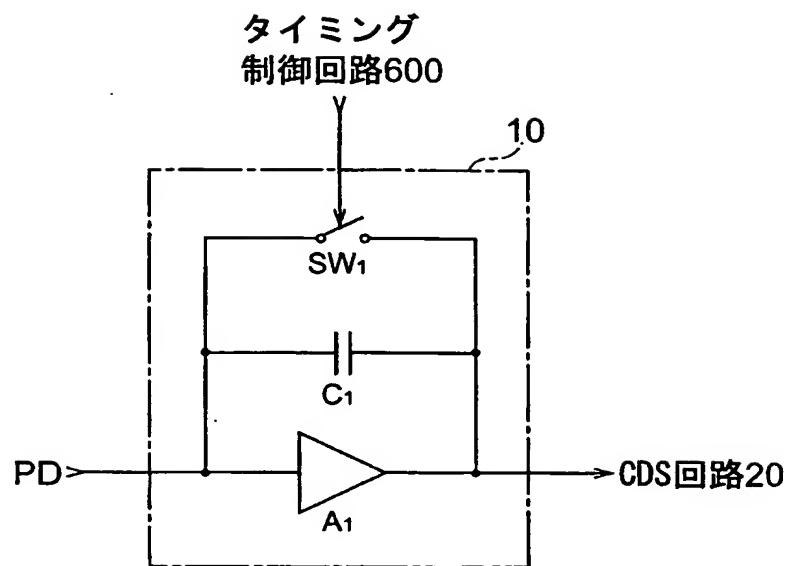


図3

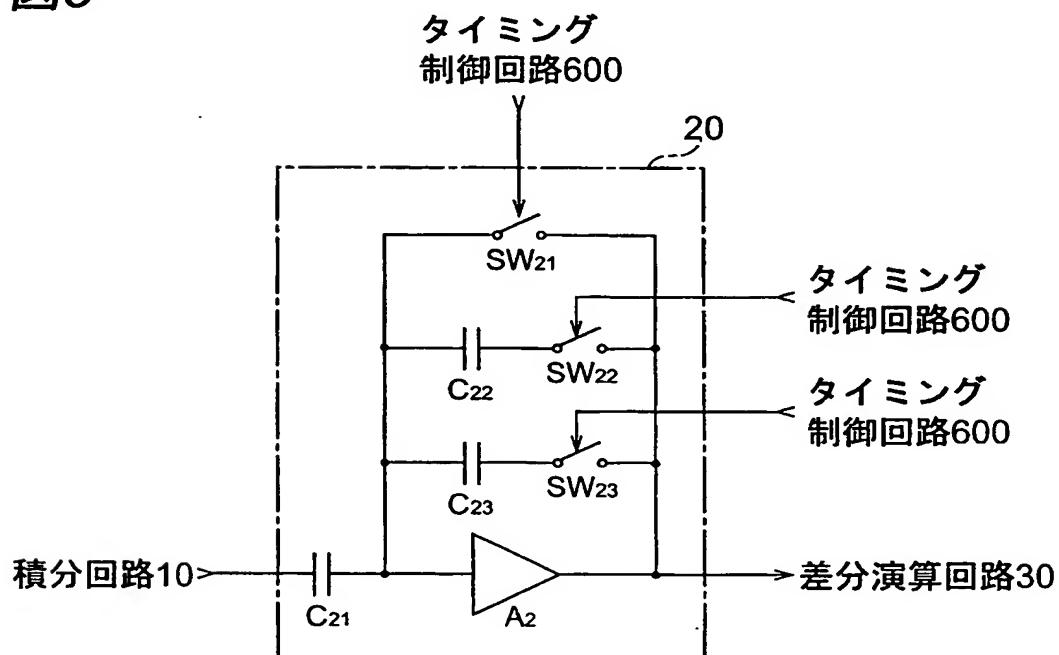


図4

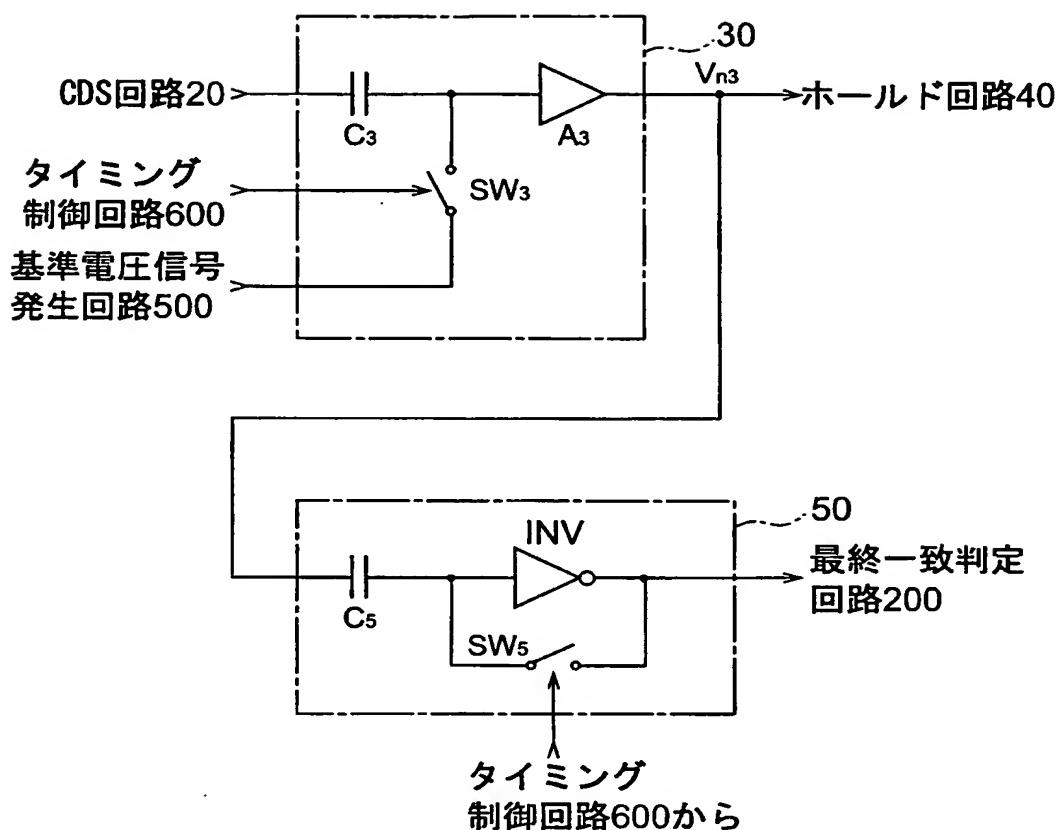


図5

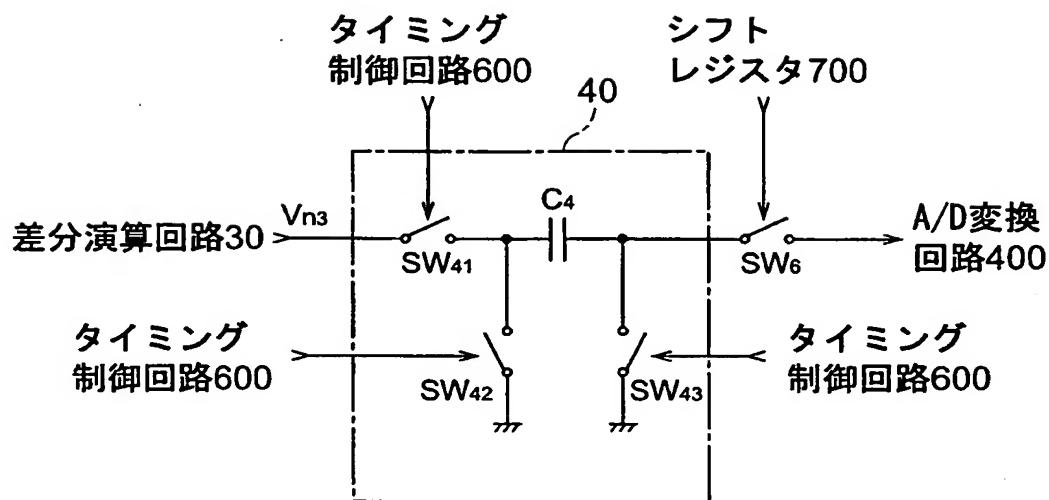


図6

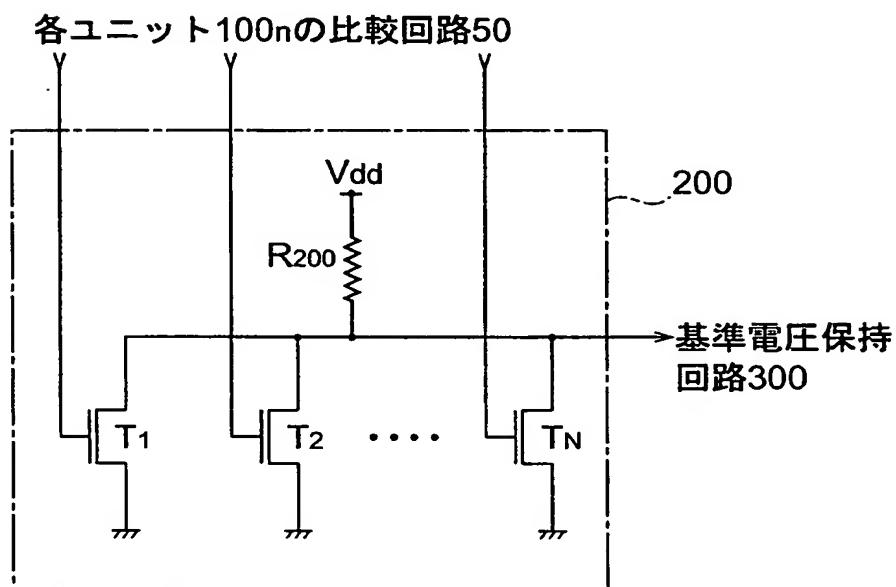


図7

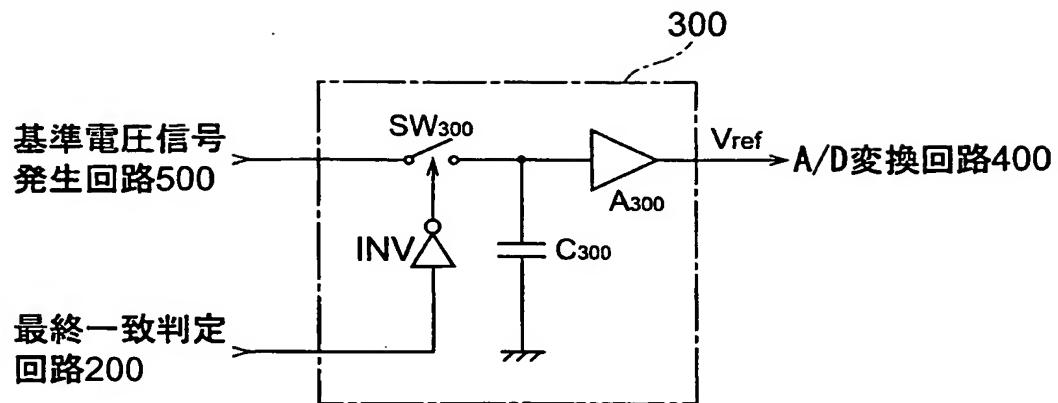
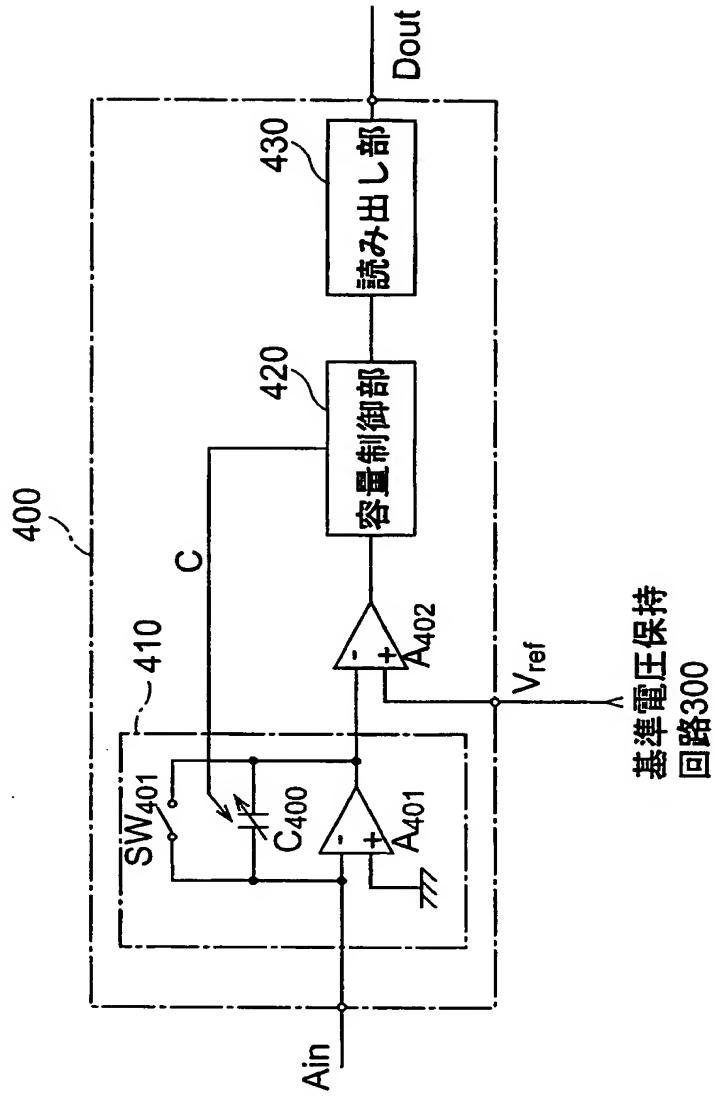
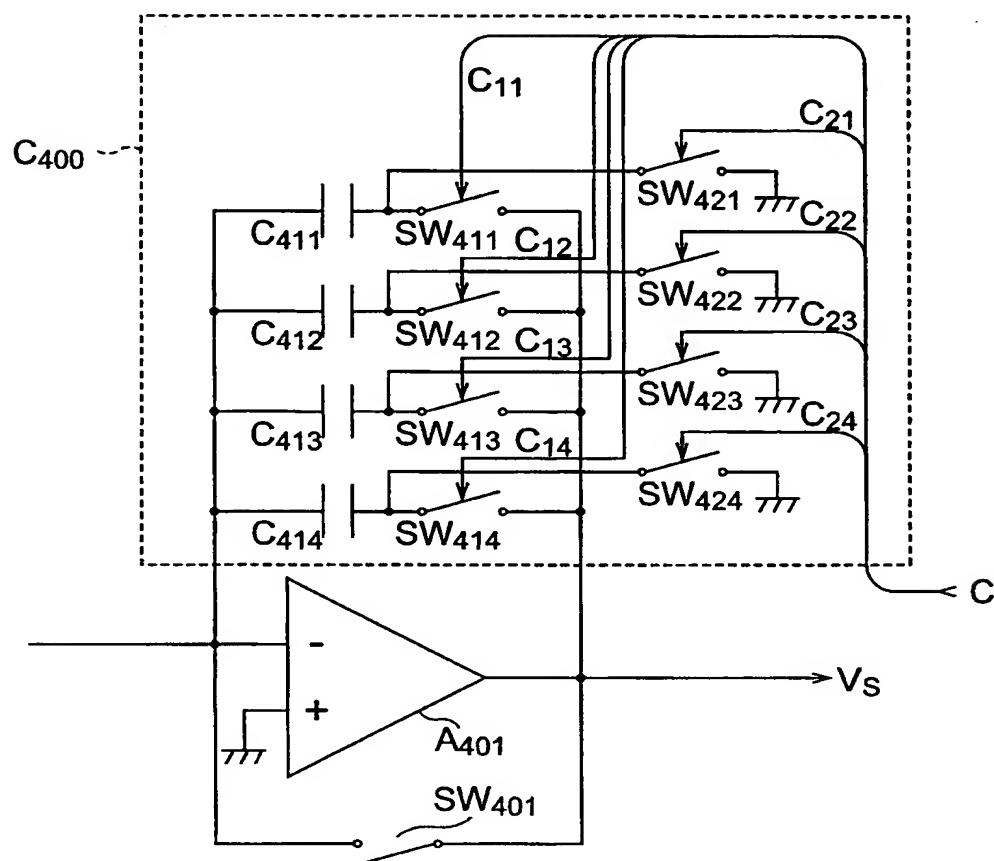


図8



基準電圧保持  
回路300

図9



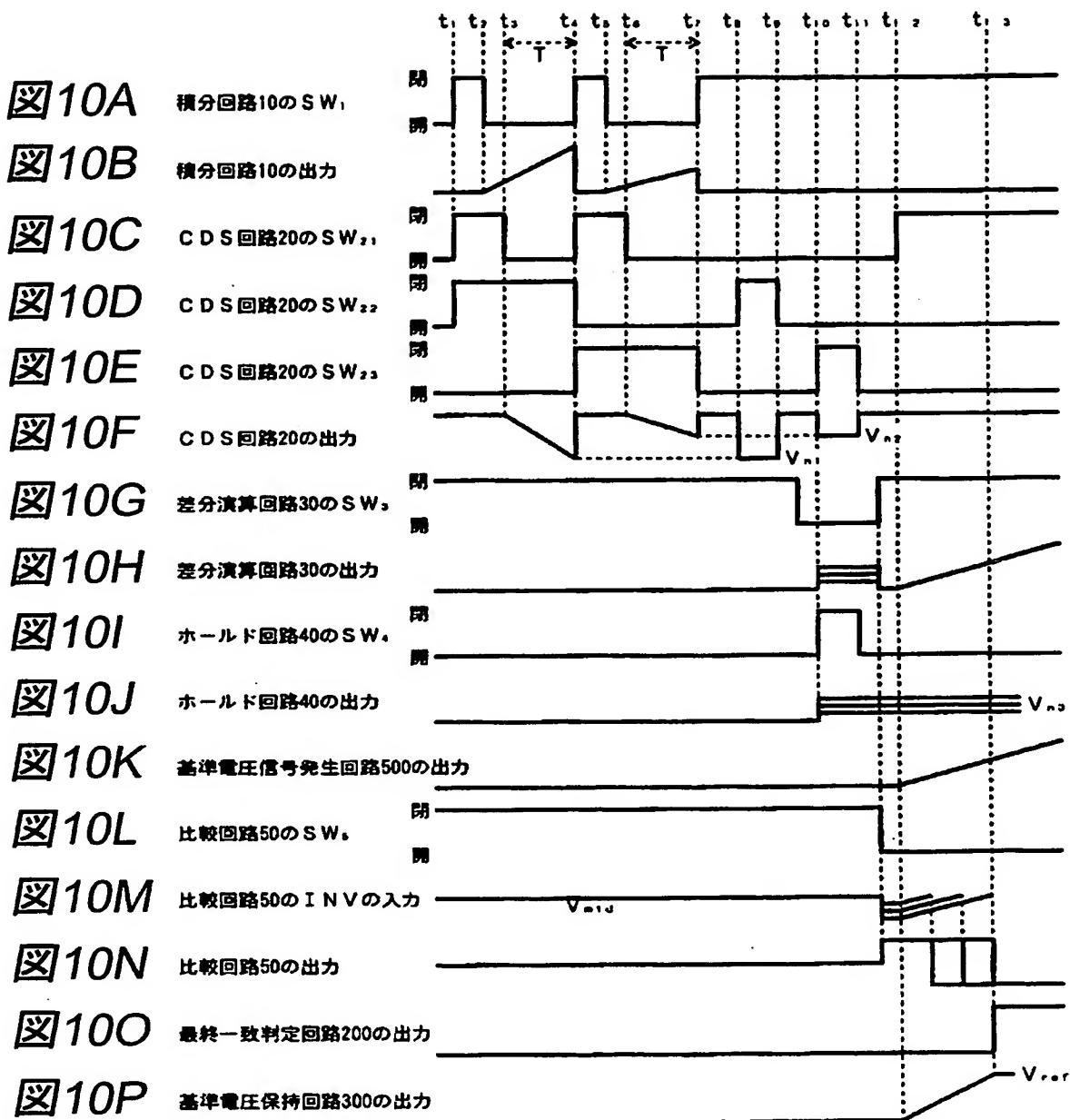


図11A

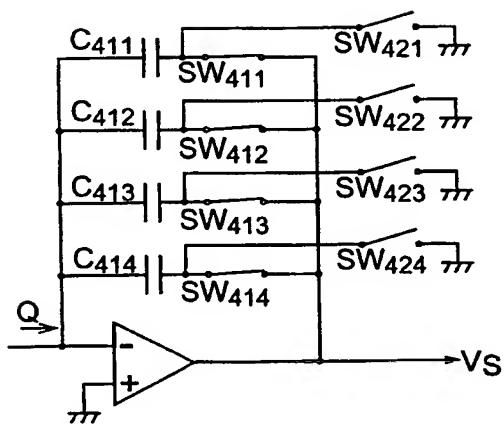


図11B

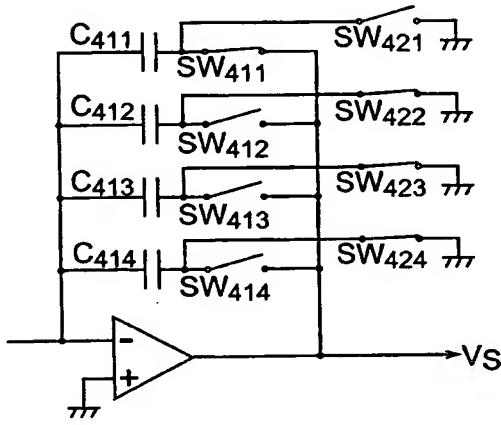


図11C

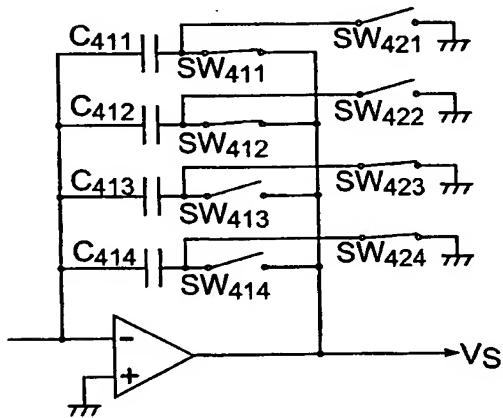


図11D

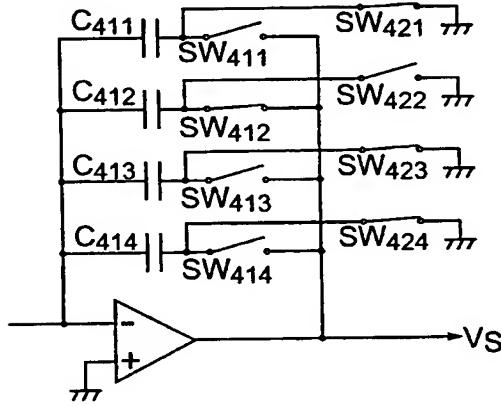


図12

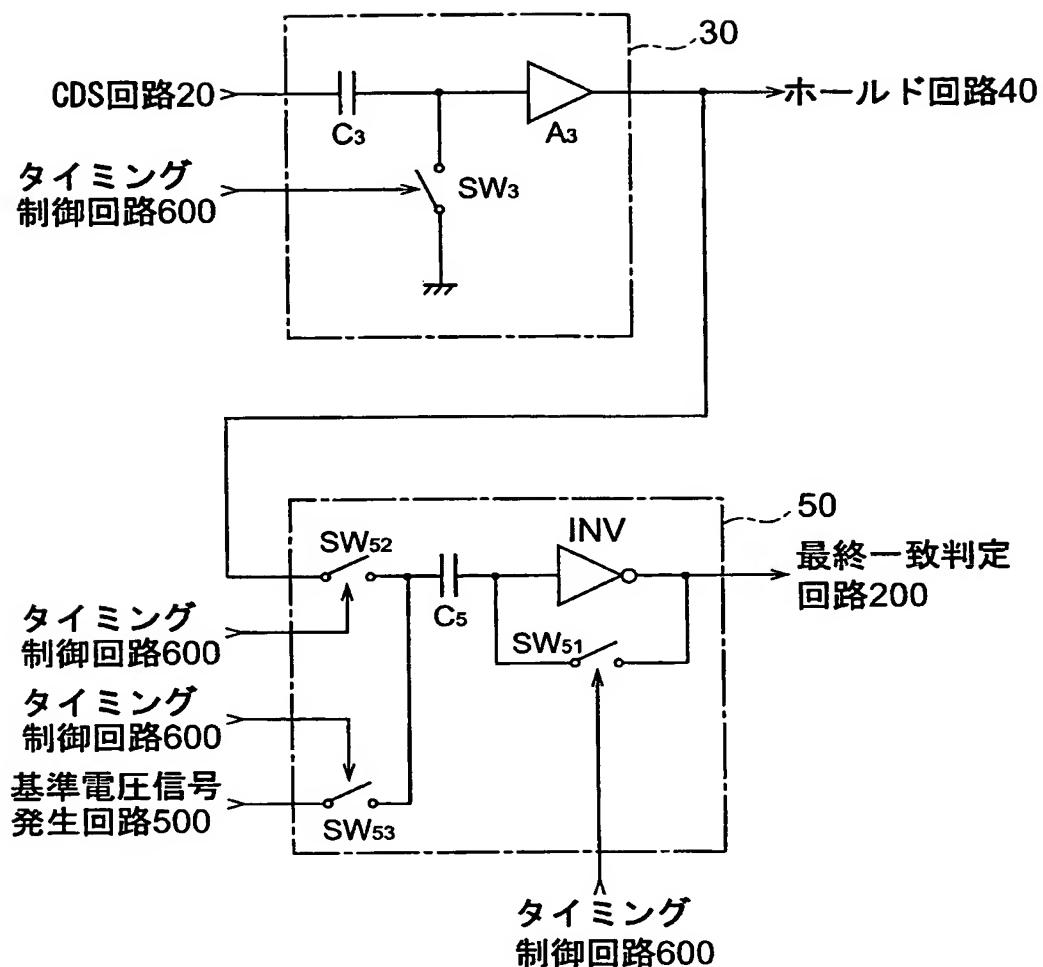
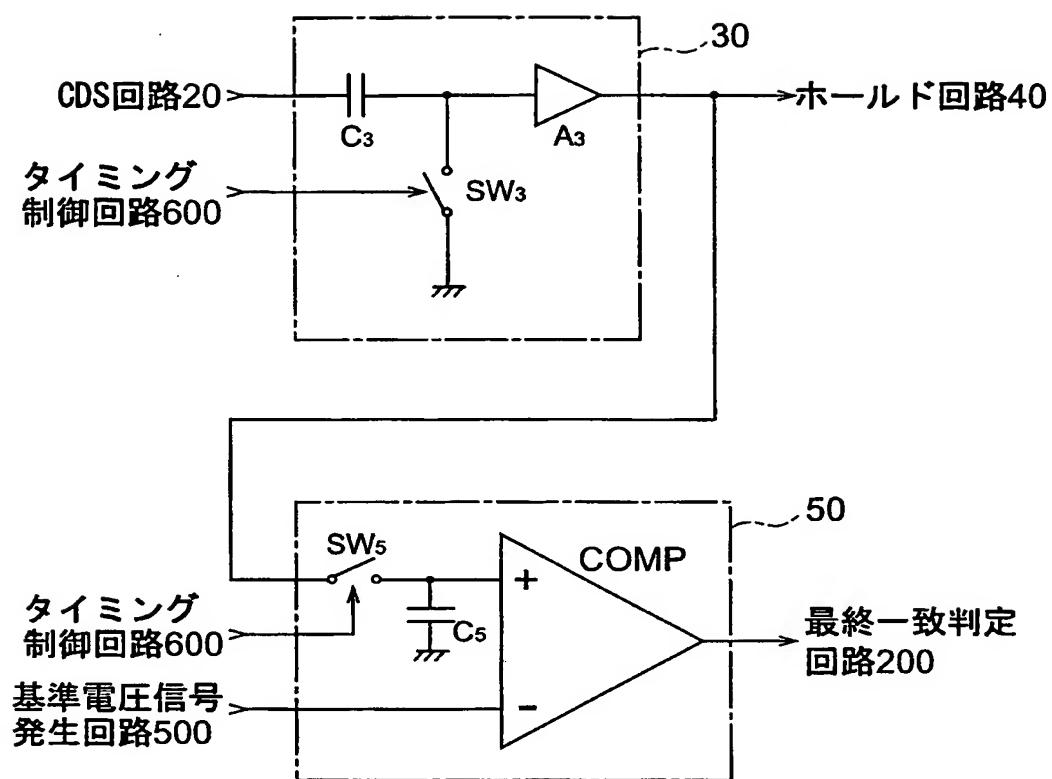
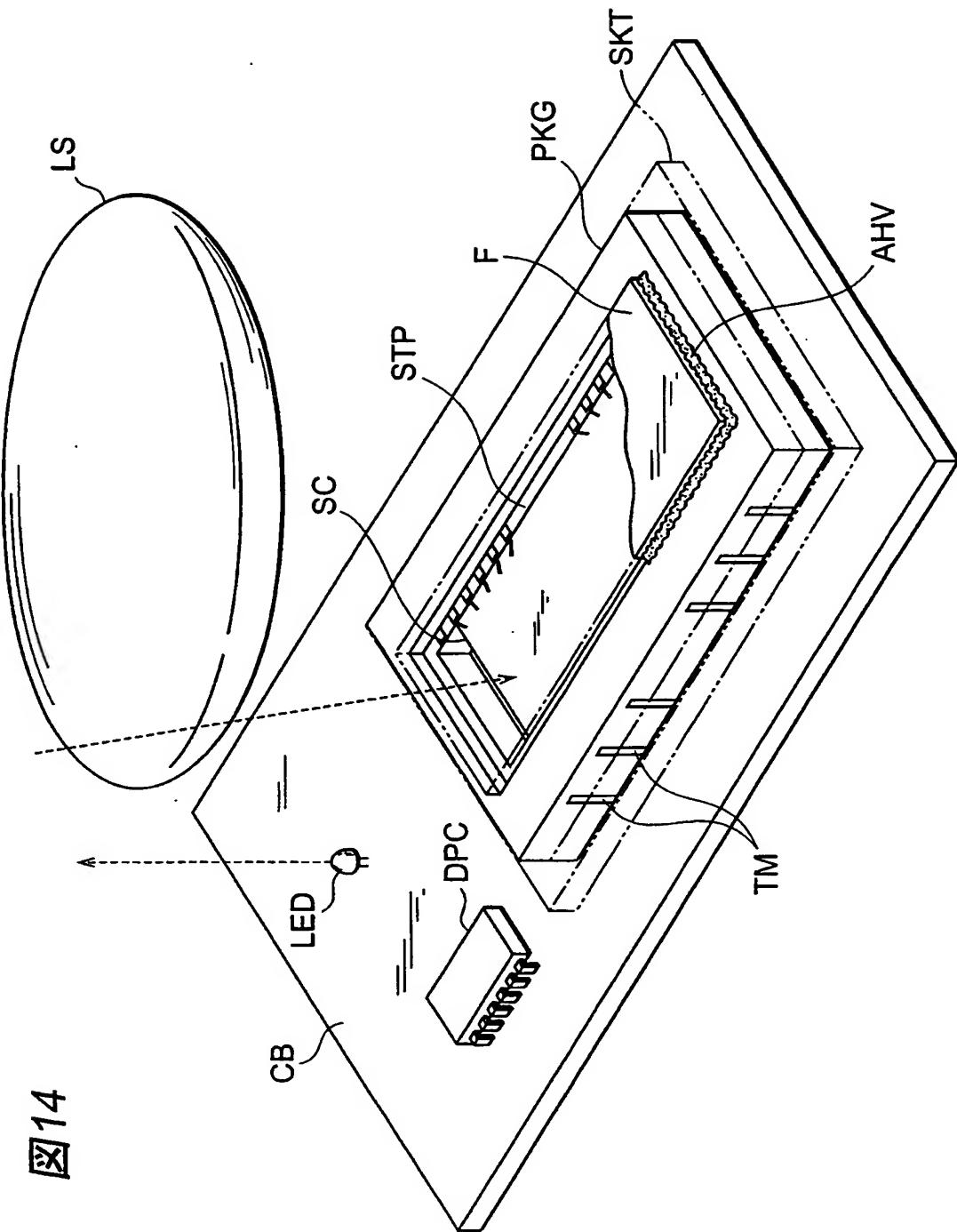


図13





**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP00/05284

**A. CLASSIFICATION OF SUBJECT MATTER**  
 Int.Cl' H04N5/335, H03M1/18, G02B7/32, G01C3/06,  
 G01B11/00

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl' H04N5/335, H03M1/18, G02B7/32, G01C3/06,  
 G01B11/00, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 1-222583, A (Canon Inc.), 05 September, 1989 (05.09.89), Full text; Figs. 1 to 14 (Family: none)	1-4
A	JP, 4-322575, A (Mitsubishi Electric Corporation), 12 November, 1992 (12.11.92), Full text; Fig. 1 (Family: none)	1-4
A	JP, 1-268296, A (Canon Inc.), 25 October, 1989 (25.10.89), Full text; Figs. 1, 3 & US, 5343201, A	1-4
A	JP, 6-276443, A (HAMAMATSU PHOTONICS K.K.), 30 September, 1994 (30.09.94), Full text; Figs. 1 to 5 & US, 5424530, A & US, 5684295, A	3, 4

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
 31 October, 2000 (31.10.00)

Date of mailing of the international search report  
 07 November, 2000 (07.11.00)

Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C1' H04N5/335, H03M1/18, G02B7/32, G01C3/06,  
G01B11/00

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int. C1' H04N5/335, H03M1/18, G02B7/32, G01C3/06,  
G01B11/00, H01L27/14

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 1-222583, A (キヤノン株式会社) 5. 9月. 1989 (05. 09. 89) 全文, 第1-14図 (ファミリーなし)	1-4
A	J P, 4-322575, A (三菱電機株式会社) 12. 11月. 1992 (12. 11. 92) 全文, 第1図 (ファミリーなし)	1-4
A	J P, 1-268296, A (キヤノン株式会社) 25. 10月. 1989 (25. 10. 89)	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 31. 10. 00	国際調査報告の発送日 07.11.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 井上 信一 印

電話番号 03-3581-1101 内線 3541

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	全文, 第1図, 第3図 & US, 5343201, A  JP, 6-276443, A (浜松ホトニクス株式会社) 30. 9月. 1994 (30. 09. 94) 全文, 第1-5図 & US, 5424530, A & US, 5684295, A	3, 4